



**PATENT APPLICATION**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Docket No: Q79889

Yoshitaka NAKAMURA, et al.

Appln. No.: 10/777,704

Group Art Unit: 2812

Confirmation No.: 5693

Examiner: Unknown

Filed: February 13, 2004

For: SEMICONDUCTOR DEVICE AND FABRICATION METHOD THEREFOR

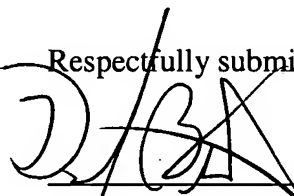
**SUBMISSION OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,

  
Howard L. Bernstein  
Registration No. 25,665

SUGHRUE MION, PLLC  
Telephone: (202) 293-7060  
Facsimile: (202) 293-7860

WASHINGTON OFFICE

**23373**

CUSTOMER NUMBER

Enclosures: Japan 2003-036459

Date: August 10, 2004

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

願年月日 2003年 2月14日  
Date of Application:

願番号 特願2003-036459  
Application Number:

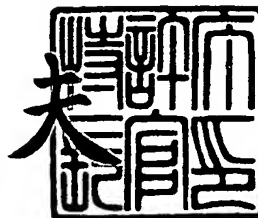
[J P 2003-036459]

願人  
Applicant(s): エルピーダメモリ株式会社  
株式会社日立超エル・エス・アイ・システムズ  
株式会社日立製作所

2004年 1月29日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

CERTIFIED COPY OF  
PRIORITY DOCUMENT

出証番号 出証特2004-3004001

【書類名】 特許願

【整理番号】 22310274

【提出日】 平成15年 2月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ  
株式会社内

【氏名】 中村 吉孝

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ  
株式会社内

【氏名】 五嶋 秀和

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ  
株式会社内

【氏名】 浅野 勇

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ  
株式会社内

【氏名】 堀川 貢弘

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ  
株式会社内

【氏名】 黒木 啓二

【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ  
株式会社内

【氏名】 佐久間 浩

## 【発明者】

【住所又は居所】 東京都中央区八重洲二丁目 2 番 1 号 エルピーダメモリ  
株式会社内

【氏名】 小柳 賢一

## 【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 2 番 1 号 株式会社日立  
超エル・エス・アイ・システムズ内

【氏名】 川越 剛

## 【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

## 【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

## 【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

## 【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

## 【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

## 【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0110118

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の一主面上に形成されたメモリセル選択用 M I S F E T と、前記メモリセル選択用 M I S F E T のソース、ドレインの一方に第一の金属層を介して底部において電氣的に接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置において、

前記下部電極の底部での膜厚が 3 0 n m 以上であることを特徴とする半導体装置。

【請求項 2】 半導体基板の一主面上に形成されたメモリセル選択用 M I S F E T と、前記メモリセル選択用 M I S F E T のソース、ドレインの一方に電氣的に第一の金属層を介して底部において接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置において、

前記下部電極は、層間絶縁膜に設けられた孔の側壁と底面に沿って設けられたコップ形状であり、前記下部電極の底部での膜厚が 3 0 n m 以上であることを特徴とする半導体装置。

【請求項 3】 半導体基板の一主面上に形成されたメモリセル選択用 M I S F E T と、前記メモリセル選択用 M I S F E T のソース、ドレインの一方に電氣的に第一の金属層を介して底部において接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置において、

前記下部電極は、層間絶縁膜に設けられた孔の側壁と底面に沿って設けられたコップ形状であり、前記下部電極の底部での膜厚が 3 0 n m 以上であり、かつ、前記下部電極の側面部での膜厚が少なくとも 3 0 n m 以下であることを特徴とする半導体装置。

【請求項 4】 半導体基板の一主面上に形成されたメモリセル選択用 M I S F E T と、前記メモリセル選択用 M I S F E T のソース、ドレインの一方に電氣

的に第一の金属層を介して底部において接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置において、

前記下部電極は該中心部分に空洞を有する柱状形状であって、当該空洞と第一の金属層との距離の最小値が30 nm以上であることを特徴とする半導体装置。

【請求項5】 前記下部電極の厚さが、少なくとも第一の金属層と接する部分において、30 nm以上であることを特徴とする請求項1乃至4に記載の半導体装置。

【請求項6】 前記下部電極は、膜厚方向に貫く粒界の本数が、前記第一の金属層と接する部分において、3本以下であることを特徴とする請求項1乃至5に記載の半導体装置。

【請求項7】 前記第一の金属層と接する部分における前記下部電極の結晶が、70%以上の(002)配向性を有することを特徴とする請求項1乃至6に記載の半導体装置。

【請求項8】 半導体基板の一主面上に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソース、ドレインの一方に第一の金属層及び第二の金属層を介して底部において電氣的に接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置において、

前記下部電極が、層間絶縁膜に設けられた孔の側壁と底面に沿って設けられたコップ形状であって、前記第一の金属層と前記第二の金属層は部分的に接しており、前記下部電極がその底面の全面において第二の金属層と接続されており、かつ、前記下部電極の底部での膜厚が30 nm以上であることを特徴とする半導体装置。

【請求項9】 半導体基板の一主面上に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソース、ドレインの一方に第一の金属層及び第二の金属層を介して底部において電氣的に接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置において、

前記下部電極が、層間絶縁膜に設けられた孔の側壁と底面に沿って設けられたコップ形状であって、前記第一の金属層と前記第二の金属層は部分的に接しており、前記下部電極がその底面の全面において第二の金属層と接続されており、かつ、前記下部電極の底部での膜厚が 3 0 n m 以上であり、かつ、前記下部電極の側面部での膜厚が少なくとも 3 0 n m 以下であることを特徴とする半導体装置。

【請求項 1 0】 半導体基板の一主面上に形成されたメモリセル選択用 M I S F E T と、前記メモリセル選択用 M I S F E T のソース、ドレインの一方に第一の金属層及び第二の金属層を介して底部において電氣的に接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置において、

前記第一の金属層と前記第二の金属層は部分的に接しており、前記下部電極がその底面の全面において第二の金属層と接続されており、かつ、前記下部電極は該中心部分に空洞を有する柱状形状であって、当該空洞と第二の金属層との距離の最小値が 3 0 n m 以上であることを特徴とする半導体装置。

【請求項 1 1】 前記下部電極の厚さが、少なくとも第二の金属層と接する部分において、3 0 n m 以上であることを特徴とする請求項 8 乃至 1 0 に記載の半導体装置。

【請求項 1 2】 前記下部電極は、膜厚方向に貫く粒界の本数が、前記第二の金属層と接する部分において、3 本以下であることを特徴とする請求項 8 乃至 1 1 に記載の半導体装置。

【請求項 1 3】 前記第二の金属層と接する部分における前記下部電極の結晶が、7 0 % 以上の ( 0 0 2 ) 配向性を有することを特徴とする請求項 8 乃至 1 2 に記載の半導体装置。

【請求項 1 4】 前記第二の金属層は窒化チタン膜であることを特徴とする請求項 8 乃至 1 3 に記載の半導体装置。

【請求項 1 5】 前記下部電極が金属膜であることを特徴とする請求項 1 乃至 1 4 に記載の半導体装置。

【請求項 1 6】 前記下部電極がルテニウム膜であることを特徴とする請求項 1 乃至 1 5 に記載の半導体装置。



【請求項 17】 前記下部電極が窒化チタン膜であることを特徴とする請求項 1 乃至 16 に記載の半導体装置。

【請求項 18】 前記容量絶縁膜が酸化タンタル膜であることを特徴とする請求項 1 乃至 17 に記載の半導体装置。

【請求項 19】 前記上部電極がルテニウム膜であることを特徴とする請求項 1 乃至 18 に記載の半導体装置。

【請求項 20】 前記第一の金属層が窒化チタン膜であることを特徴とする請求項 1 乃至 19 に記載の半導体装置。

【請求項 21】 前記第一の金属層がタングステン膜であることを特徴とする請求項 1 乃至 19 に記載の半導体装置。

【請求項 22】 前記半導体基板の一主面上に形成されたメモリセル選択用 MISFET と、前記メモリセル選択用 MISFET のソース、ドレインの一方に電氣的に第一の金属層を介して底部において接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置の製造方法において、

第一の金属層の上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に孔を開孔して孔底部に第一の金属層を露出させる工程と、

第一の金属層と接する部分の膜厚が他の部分の膜厚よりも大きい下部電極を形成する工程と、

容量絶縁膜を形成する工程と、

容量絶縁膜を改質する工程と、

上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 23】 半導体基板の一主面上に形成されたメモリセル選択用 MISFET と、前記メモリセル選択用 MISFET のソース、ドレインの一方に電氣的に第一の金属層を介して底部において接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置の製造方法において、

第一の金属層の上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に孔を開孔して孔底部に第一の金属層を露出させる工程と、

第一の金属層と接する部分の膜厚が他の部分の膜厚よりも大きい下部電極を形成する工程と、

容量絶縁膜を形成する工程と、

容量絶縁膜を改質する工程と、

上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 4】 半導体基板の一主面上に形成されたメモリセル選択用 M I S F E T と、前記メモリセル選択用 M I S F E T のソース、ドレインの一方に電気的に第一の金属層を介して底部において接続された中心部分に空洞を有する柱状形状の下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置の製造方法において、

第一の金属層の上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に孔を開孔して孔底部に第一の金属層を露出させる工程と、

(下部電極内の空洞と第一の金属層との距離の最小値)  $\geq 30 \text{ nm}$  の関係を満たす下部電極を形成する工程と、

容量絶縁膜を形成する工程と、

容量絶縁膜を改質する工程と、

上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 5】 前記下部電極を形成する工程において、(第二の金属層内の空洞と第一の金属層との距離の最小値)  $\geq 30 \text{ nm}$  の関係を満たすように、層間絶縁膜に開孔されたに孔を前記下部電極形成用膜で埋め込む工程を有することを特徴とする請求項 2 4 に記載の半導体装置の製造方法。

【請求項 2 6】 前記層間絶縁膜を形成する工程から前記容量絶縁膜を形成する工程までに、層間絶縁膜に孔を開孔する工程が 1 回のみであることを特徴とする請求項 2 2 乃至 2 5 に記載の半導体装置の製造方法。

【請求項 2 7】 前記下部電極を形成する工程において、前記下部電極の底面での膜厚が、前記下部電極の側面部分の膜厚よりも大きいことを特徴とする請求項 2 2 乃至 2 6 に記載の半導体装置の製造方法。

【請求項 2 8】 前記下部電極を形成する工程において、前記下部電極の底

面での膜厚が 3 0 n m 以上であり、かつ、前記下部電極の側面部分の膜厚が少なくとも 3 0 n m を越えないことを特徴とする請求項 2 2 乃至 2 7 に記載の半導体装置の製造方法。

【請求項 2 9】 前記下部電極を形成する工程において、第一の金属層と接する部分の膜厚が他の部分の膜厚よりも大きい前記下部電極形成用膜を形成することを特徴とする請求項 2 2 乃至 2 8 に記載の半導体装置の製造方法。

【請求項 3 0】 前記下部電極を形成する工程において、少なくとも第一の金属層と接する部分の膜厚が 3 0 n m 以上であり、かつ、前記下部電極の側面部分の膜厚が少なくとも 3 0 n m を越えないことを特徴とする請求項 2 2 乃至 2 9 に記載の半導体装置の製造方法。

【請求項 3 1】 半導体基板の一主面上に形成されたメモリセル選択用 M I S F E T と、前記メモリセル選択用 M I S F E T のソース、ドレインの一方に第一の金属層及び第二の金属層を介して底部において電氣的に接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成り、前記第一の金属層と前記第二の金属層は部分的に接し、かつ、前記第二の金属層は前記下部電極と部分的に接している半導体装置の製造方法において、

前記第一の金属層の上に層間絶縁膜を形成する工程と、

前記層間絶縁膜の上部に孔を開孔して孔底部に前記第一の金属層を露出させる工程と、

孔底部に前記第二の金属層を形成する工程と、

前記下部電極を形成する工程と、

前記容量絶縁膜を形成する工程と、

前記容量絶縁膜を改質する工程と、

前記上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 3 2】 前記下部電極を形成する工程において、少なくとも第二の金属層と接する部分の膜厚が 3 0 n m 以上であり、かつ、前記下部電極の側面部分の膜厚が少なくとも 3 0 n m を越えないことを特徴とする請求項 3 1 に記載の

半導体装置の製造方法。

【請求項 33】 前記第二の金属層が窒化チタン膜であることを特徴とする請求項 31 乃至 32 に記載の半導体装置の製造方法。

【請求項 34】 前記第一の金属層が窒化チタン膜であることを特徴とする請求項 22 乃至 33 に記載の半導体装置の製造方法。

【請求項 35】 前記第一の金属層がタングステン膜であることを特徴とする請求項 22 乃至 34 に記載の半導体装置の製造方法。

【請求項 36】 前記下部電極が金属膜であることを特徴とする請求項 22 乃至 35 に記載の半導体装置の製造方法。

【請求項 37】 前記下部電極がルテニウム膜であることを特徴とする請求項 22 乃至 36 に記載の半導体装置の製造方法。

【請求項 38】 前記下部電極が窒化チタン膜であることを特徴とする請求項 22 乃至 37 に記載の半導体装置の製造方法。

【請求項 39】 前記容量絶縁膜が酸化タンタル膜を含むことを特徴とする請求項 22 乃至 38 に記載の半導体装置の製造方法。

【請求項 40】 前記上部電極が金属膜であることを特徴とする請求項 22 乃至 39 に記載の半導体装置の製造方法。

【請求項 41】 前記上部電極がルテニウム膜であることを特徴とする請求項 22 乃至 40 に記載の半導体装置の製造方法。

【請求項 42】 前記下部電極を形成する工程が、スパッタ法による金属膜の成膜工程と、CVD 法による金属膜の成膜工程の両方を有することを特徴とする記載の請求項 22 乃至 41 に記載の半導体装置の製造方法。

【請求項 43】 前記下部電極を形成する工程が、PCM スパッタ法による金属膜の成膜工程を有することを特徴とする記載の請求項 22 乃至 42 に記載の半導体装置の製造方法。

【請求項 44】 前記下部電極を形成する工程が、コリメート・スパッタ法による金属膜の成膜工程を有することを特徴とする請求項 22 乃至 43 に記載の半導体装置の製造方法。

【請求項 45】 前記前記容量絶縁膜を改質する工程は、熱処理工程である

ことを特徴とする請求項 22 乃至 44 に記載の半導体装置の製造方法。

【請求項 46】 前記前記容量絶縁膜を改質する工程は、水素雰囲気中で行われる熱処理工程であることを特徴とする請求項 22 乃至 45 に記載の半導体装置の製造方法。

【請求項 47】 前記前記容量絶縁膜を改質する工程は、オゾン雰囲気での熱処理を含むことを特徴とする請求項 22 乃至 46 に記載の半導体装置の製造方法。

【請求項 48】 前記前記容量絶縁膜を改質する工程は、温度 360℃以上 460℃以下の酸化雰囲気での熱処理であることを特徴とする請求項 22 乃至 47 に記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は半導体装置及びその製造方法に関し、特に、MIM型キャパシタとその製造方法に関する。

##### 【0002】

#### 【従来の技術】

DRAM (Dynamic Random Access Memory) のメモリセルは、選択用トランジスタとキャパシタとから成り、微細加工技術の進展によるメモリセルの微細化に伴って、キャパシタの電荷蓄積量の減少が問題となっている。この問題を解決するため、キャパシタを立体化して電極の面積を増加させるとともに、キャパシタ構造をMIS (Metal Insulator Silicon) 構造からMIM (Metal Insulator Metal) 構造に移行させる研究が盛んである。

##### 【0003】

図 44 は、MIM型キャパシタの代表的従来例を示す縦断面図である。また、図 45 は、MIM型キャパシタを有するメモリセルの一例を示す縦断面図である。

##### 【0004】

図 4 5 に示すメモリセルでは、シリコン基板 1 0 の主面を分離絶縁膜 2 によって区画した活性領域に 2 つの選択用トランジスタが形成されており、各々の選択用トランジスタはシリコン基板 1 の主面上にゲート絶縁膜 3 を介して形成されたゲート電極 4、及びソース領域、ドレイン領域となる一対の拡散層領域 5、6 から成り、各々の選択用トランジスタの拡散層領域 5 は一体として共有化されている。

#### 【0 0 0 5】

選択用トランジスタは、層間絶縁膜 2 5、2 6 上に形成されたビット線 8 と前記一方の拡散層領域 5 とが層間絶縁膜 2 5 を貫通するポリシリコンプラグ 1 2 と、メタルプラグ 7 を介して接続されている。ビット線 8 は層間絶縁膜 2 1 に覆われ、この層間絶縁膜 2 1 上に形成された層間絶縁膜 2 2 に設けられた孔内に下部電極としてルテニウム膜 4 1 と、上部電極としてルテニウム膜 6 1 と、容量絶縁膜として酸化タンタル膜 5 1 を積層してキャパシタが構成されている。

#### 【0 0 0 6】

下部電極 4 1 はその底面でバリアメタル膜 3 2 と接続され、バリアメタル膜 3 2 はその下面でコンタクトメタル膜 3 1 を介してポリシリコンプラグ 1 1 と接続され、さらにポリシリコンプラグ 1 1 はその下方のポリシリコンプラグ 1 2 を介してトランジスタの拡散層領域 6 に接続されている。

#### 【0 0 0 7】

このキャパシタの製造工程において、酸化タンタル膜 5 1 のリーク電流を低減して、単位電極面積当たりの電荷蓄積容量を向上するため、酸化タンタル膜 5 1 を酸化処理する工程が必要である。その工程の副作用として下部電極（ルテニウム膜）中を酸素が拡散して、バリアメタル膜 3 2 の下部電極 4 1 との界面部分が酸化される。バリアメタル膜 3 2 に窒化チタン膜を用いた場合、下部電極 4 1 との界面に酸化チタン膜が形成されて導通抵抗が増大する、また同時に伴う体積膨張によりキャパシタに応力が加わってキャパシタのリーク電流が増大する、という問題が生じる。

#### 【0 0 0 8】

下部電極中の酸素の拡散を抑制するため下部電極の肉厚を大きくする方法があ

るが、CVD法により下部電極の膜厚を大きくすると、通常は側壁部分と底部に同じ厚さの膜が成長する。そのため、側壁部分の肉厚の増加により電極の内周長が減少し、キャパシタの電荷蓄積量が低下する副作用が生じる（図46）。

#### 【0009】

この副作用を防止しながら、下部電極中の酸素の拡散量を低減する方法として、キャパシタの下部電極の底部のみを、下部電極の他の部分とは別の工程で形成する方法が、特許文献1に記載されている。この方法によると、キャパシタ底部のバリアメタル膜の体積膨張に起因したキャパシタ特性の劣化抑制された点で一応の効果を奏している（図47）。

#### 【0010】

##### 【特許文献1】

特開 2 0 0 2 - 8 3 9 4 0 号公報

#### 【0011】

##### 【発明が解決しようとする課題】

しかしながら、図47に示す従来例では、孔底部分のみをキャパシタ部分とは別工程で形成するため工程数が増大するという問題がある。しかも、図44の例と比較してホト・リソグラフィ技術を1工程多く要するため、層合わせのプロセス余裕が無くなる欠点がある。

#### 【0012】

そこで、本発明は、上記従来技術の問題点に鑑みて成されたものであり、その主な目的は、工程数を低減しつつ、また合わせ余裕を確保しつつ、下部電極の底部のみが厚いMIM型キャパシタ及びその製造方法を提供することにある。

#### 【0013】

また、本発明の他の目的は、下部電極とバリアメタル膜の界面が酸化せず、リーク電流かつ導通抵抗が小さいMIM型キャパシタを提供することにある。

#### 【0014】

また、本発明のさらに他の目的は、層合わせのプロセス余裕を拡大して、下部電極とバリアメタル膜の界面抵抗を低減したMIM型キャパシタ及びその製造方法を提供することである。

## 【0015】

## 【課題を解決するための手段】

本発明では、半導体基板の一主面上に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソース、ドレインの一方に第一の金属層を介して底部において電氣的に接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置において、前記下部電極の底部での膜厚が30nm以上である。

## 【0016】

また、本発明では、半導体基板の一主面上に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソース、ドレインの一方に電氣的に第一の金属層を介して底部において接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置において、前記下部電極は、層間絶縁膜に設けられた孔の側壁と底面に沿って設けられたコップ形状であり、前記下部電極の底部での膜厚が30nm以上である。

## 【0017】

また、本発明では、半導体基板の一主面上に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソース、ドレインの一方に電氣的に第一の金属層を介して底部において接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置において、前記下部電極は、層間絶縁膜に設けられた孔の側壁と底面に沿って設けられたコップ形状であり、前記下部電極の底部での膜厚が30nm以上であり、かつ、前記下部電極の側面部での膜厚が少なくとも30nm以下である。

## 【0018】

また、本発明では、半導体基板の一主面上に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソース、ドレインの一方に電氣的に第一の金属層を介して底部において接続された下部電極及び前記下部電極



の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置において、前記下部電極は該中心部分に空洞を有する柱状形状であって、当該空洞と第一の金属層との距離の最小値が30 nm以上である。

#### 【0019】

ここで、前記下部電極の厚さは、少なくとも第一の金属層と接する部分において、30 nm以上であることが好ましい。

#### 【0020】

前記下部電極は、膜厚方向に貫く粒界の本数が、前記第一の金属層と接する部分において、3本以下であることが好ましい。

#### 【0021】

前記第一の金属層と接する部分における前記下部電極の結晶は、70%以上の(002)配向性を有することが好ましい。

#### 【0022】

また、本発明では、半導体基板の一主面上に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソース、ドレインの一方に第一の金属層及び第二の金属層を介して底部において電氣的に接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置において、前記下部電極が、層間絶縁膜に設けられた孔の側壁と底面に沿って設けられたコップ形状であって、前記第一の金属層と前記第二の金属層は部分的に接しており、前記下部電極がその底面の全面において第二の金属層と接続されており、かつ、前記下部電極の底部での膜厚が30 nm以上である。

#### 【0023】

また、本発明では、半導体基板の一主面上に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソース、ドレインの一方に第一の金属層及び第二の金属層を介して底部において電氣的に接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置において、前記下部電極が

、層間絶縁膜に設けられた孔の側壁と底面に沿って設けられたコップ形状であって、前記第一の金属層と前記第二の金属層は部分的に接しており、前記下部電極がその底面の全面において第二の金属層と接続されており、かつ、前記下部電極の底部での膜厚が 3 0 n m 以上であり、かつ、前記下部電極の側面部での膜厚が少なくとも 3 0 n m 以下である。

#### 【 0 0 2 4 】

また、本発明では、半導体基板の一主面上に形成されたメモリセル選択用 M I S F E T と、前記メモリセル選択用 M I S F E T のソース、ドレインの一方に第一の金属層及び第二の金属層を介して底部において電氣的に接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置において、前記第一の金属層と前記第二の金属層は部分的に接しており、前記下部電極がその底面の全面において第二の金属層と接続されており、かつ、前記下部電極は該中心部分に空洞を有する柱状形状であって、当該空洞と第二の金属層との距離の最小値が 3 0 n m 以上である。

#### 【 0 0 2 5 】

また、本発明では、前記半導体基板の一主面上に形成されたメモリセル選択用 M I S F E T と、前記メモリセル選択用 M I S F E T のソース、ドレインの一方に電氣的に第一の金属層を介して底部において接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置の製造方法において、第一の金属層の上に層間絶縁膜を形成する工程と、前記層間絶縁膜に孔を開孔して孔底部に第一の金属層を露出させる工程と、第一の金属層と接する部分の膜厚が他の部分の膜厚よりも大きい下部電極を形成する工程と、容量絶縁膜を形成する工程と、容量絶縁膜を改質する工程と、上部電極を形成する工程とを有する。

#### 【 0 0 2 6 】

また、本発明では、半導体基板の一主面上に形成されたメモリセル選択用 M I S F E T と、前記メモリセル選択用 M I S F E T のソース、ドレインの一方に電氣的に第一の金属層を介して底部において接続された下部電極及び前記下部電極

の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置の製造方法において、第一の金属層の上に層間絶縁膜を形成する工程と、前記層間絶縁膜に孔を開孔して孔底部に第一の金属層を露出させる工程と、第一の金属層と接する部分の膜厚が他の部分の膜厚よりも大きい下部電極を形成する工程と、容量絶縁膜を形成する工程と、容量絶縁膜を改質する工程と、上部電極を形成する工程とを有する。

#### 【0027】

また、本発明では、半導体基板の一主面上に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソース、ドレインの一方に電氣的に第一の金属層を介して底部において接続された中心部分に空洞を有する柱状形状の下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成る半導体装置の製造方法において、第一の金属層の上に層間絶縁膜を形成する工程と、前記層間絶縁膜に孔を開孔して孔底部に第一の金属層を露出させる工程と、（下部電極内の空洞と第一の金属層との距離の最小値） $\geq 30\text{ nm}$ の関係を満たす下部電極を形成する工程と、容量絶縁膜を形成する工程と、

容量絶縁膜を改質する工程と、上部電極を形成する工程とを有する。

#### 【0028】

また、本発明では、半導体基板の一主面上に形成されたメモリセル選択用MISFETと、前記メモリセル選択用MISFETのソース、ドレインの一方に第一の金属層及び第二の金属層を介して底部において電氣的に接続された下部電極及び前記下部電極の上部に容量絶縁膜を介して形成された上部電極により構成される容量素子を有するメモリセルから成り、前記第一の金属層と前記第二の金属層は部分的に接し、かつ、前記第二の金属層は前記下部電極と部分的に接している半導体装置の製造方法において、前記第一の金属層の上に層間絶縁膜を形成する工程と、前記層間絶縁膜の上部に孔を開孔して孔底部に前記第一の金属層を露出させる工程と、孔底部に前記第二の金属層を形成する工程と、前記下部電極を形成する工程と、前記容量絶縁膜を形成する工程と、前記容量絶縁膜を改質する工程と、前記上部電極を形成する工程とを有する。

**【 0 0 2 9 】****【作用】**

本発明は、PCM法などの高イオン化率、かつ高指向性のスパッタ法を下部電極の形成に適用し、下部電極底部のみの膜厚を大きくしたことを特徴とする。ここで、PCM (P o i n t C u s p M a g n e t r o n) 法とは、磁場の制御により生成した高密度のプラズマを用いて、スパッタ粒子のイオン化率と指向性を高めたスパッタ法である。銅配線の銅めっきのシード層（種層）及びバリアメタル膜（タンタル膜、窒化タンタル膜）の成膜用に用いられている。

**【 0 0 3 0 】**

また、本発明は、下部電極底部の電極膜を膜厚方向に貫通する粒界が3個／ビット以下とすることを特徴とする。

**【 0 0 3 1 】**

さらに、本発明は、下部電極底部の電極膜の（0 0 2）配向性が70%以上であることを特徴とする。

**【 0 0 3 2 】**

本発明によれば、工程数の増大、層合わせでのプロセス余裕縮小の問題なく、下部電極底部のみが厚いMIM型キャパシタを得られる。また、得られたMIM型キャパシタは、下部電極とバリアメタル膜の界面が酸化せず、リーク電流と導通抵抗が小さい。

**【 0 0 3 3 】**

また、本発明は、下部電極の底部に積層してバリアメタル膜と同材料の第二のバリアメタル膜を設けた構造であることを特徴とする。よって、本発明によれば、層合わせのプロセス余裕を拡大して下部電極とバリアメタル膜の導通抵抗を低減することができる。

**【 0 0 3 4 】****【発明の実施の形態】**

本発明の上記および他の目的、特徴及び利点を明確にすべく、添付した図面を参照しながら、本発明の実施の形態を以下に詳述する。

**【 0 0 3 5 】**

(第 1 の実施の形態)

(1) 構造

図 1 は、本発明の一実施の形態である M I M 型キャパシタを示す縦断面図である。

【 0 0 3 6 】

本実施の形態のキャパシタは、下層の素子を覆う層間絶縁膜 2 1 上に形成され、該層間絶縁膜 2 1 上に形成された層間絶縁膜 2 2 に設けられた孔内に下部電極としてルテニウム膜 4 1 と、上部電極としてルテニウム膜 6 1 と、容量絶縁膜として酸化タンタル膜 5 1 を積層してキャパシタが構成されている。

【 0 0 3 7 】

下部電極 4 1 はその底面でバリアメタル膜 3 2 と接続され、バリアメタル膜 3 2 はその下面でコンタクトメタル膜 3 1 を介してポリシリコンプラグ 1 1 と接続され、さらにポリシリコンプラグ 1 1 はその下方のポリシリコンプラグ (図 4 5 の 1 2 に相当) を介してトランジスタの拡散層領域 (図 4 5 の 6 に相当) と接続されている。

【 0 0 3 8 】

本実施の形態では、下部電極 4 1 の底面部分が側壁部分よりも厚い (図 1 に矢印で表示) ために酸素の拡散が十分に抑制されるので、リーク電流が増大する、下部電極とバリアメタル膜の導通抵抗が増大するという問題が生じない。

【 0 0 3 9 】

(2) 製造方法

図 1 に示すキャパシタの製造方法について、図 2 乃至図 1 1 を用いて説明する。

【 0 0 4 0 】

まず、層間絶縁膜 2 1 を貫いてコンタクト孔 9 1 を貫通させる (図 2) 。コンタクト孔 9 1 をポリシリコン膜で埋め込んだ後、エッチバックしてポリシリコンプラグ 1 1 を形成する (図 3) 。

【 0 0 4 1 】

ポリシリコンプラグ 1 1 上面のリセス部分にコンタクトメタル膜としてチタン

シリサイド膜 31 と、バリアメタル膜として窒化チタン膜 32 を形成する (図 4) 。ここでは、チタンシリサイド膜 31 を形成するため、孔上で 10 nm 厚相当のチタン膜をスパッタ法で成膜した後、700℃の窒素雰囲気中での熱処理を施してリセス底部にチタンシリサイド膜を形成すると同時に、リセス側壁部のチタン膜を窒化チタン膜に変換する。リセス側壁部のチタン膜を窒化チタン膜に変換する理由は、後の酸化タンタル膜の酸化処理時に、チタン膜が酸化するのを防ぐためである (チタン膜は窒化チタン膜と比較して非常に酸化しやすい) 。

#### 【0042】

続いて、CMP (化学的機械的研磨) 法により、リセス外のバリアメタル膜を除去する (図 5) 。次に、層間絶縁膜 22 を形成し、該層間絶縁膜 22 を貫くシリンドラ孔 92 を形成し、該シリンドラ孔 92 の底面部分にバリアメタル膜 32 の表面を露出させる (図 6) 。

#### 【0043】

次に、下部電極としてルテニウム膜 41 をスパッタ法と CVD (化学的気相成長) 法により形成する (図 7) 。ここでは、まず PCM スパッタ法により孔上で 20 nm 厚相当のルテニウム膜を形成する。この際、孔底部には 10 nm のルテニウム膜が、孔側壁部には非常に薄い (< 1 nm) ルテニウム膜が形成される。

#### 【0044】

PCM 法によるルテニウム膜の形成は、全圧力は 15 Pa、アルゴン流量は 110 sccm、RF パワーは 60 MHz で 2000 W、成膜温度は 300℃で行った。続いて、CVD 法によりルテニウム膜を形成したが、孔側壁部ではスパッタ法により形成された薄いルテニウム膜がシード層 (種層) として機能し、孔上部と孔側壁部と孔底部に均一に 20 nm 厚のルテニウム膜が成長した。

#### 【0045】

CVD 法によるルテニウム膜の形成は、エチル・シクロ・ペンタジエニル・ルテニウム ( $\text{Ru}(\text{C}_2\text{H}_5\text{C}_5\text{H}_4)_2$ ) と酸素を原料ガスとして用い、成膜温度は 320℃、全圧力は 400 Pa の条件で行った。スパッタ法と CVD 法の両工程により、孔底部には 30 nm 厚、側壁には 20 nm 厚のルテニウム膜が形成された。

**【0046】**

次に、ホトレジスト膜99を孔内に形成して(図8)、孔内のルテニウム膜を保護しつつ、孔上部のルテニウム膜をエッチバック除去して(図9)、ホトレジスト膜99を除去してコップ型の下部電極41を得る(図10)。その後、ルテニウム膜41の配向性を向上するため、水素中(窒素希釈20%)で熱処理する。

**【0047】**

次に、15nm厚の酸化タンタル膜51をCVD法により形成し、酸化タンタル膜51を改質するための熱処理を行う(図11)。この熱処理は410℃のオゾン雰囲気中で10分間行ったが、熱処理をオゾン雰囲気で行うのは、オゾンが酸素、酸化窒素など他の酸化性ガスよりも酸化力が強く、酸化タンタル膜を十分に改質できるためである。

**【0048】**

また、熱処理温度は360℃以上460℃以下の範囲が望ましい。この理由は、360℃より低温では酸化タンタル膜が十分に改質されず、一方、460℃より高温では下部電極のルテニウム膜が酸化し、いずれの場合もキャパシタのリーク電流が増大するためである。

**【0049】**

続いて、上部電極として、スパッタ法とCVD法によりルテニウム膜61を形成し、その上に上部電極の抵抗低減のためスパッタ法によりタングステン膜71を形成する。ルテニウム膜61とタングステン膜71をホトリソグラフィ技術とドライエッチング技術により、所望の上部電極形状に加工し、図1の構造のキャパシタを完成した。

**【0050】**

上記第1の実施の形態による製造方法において、ホトリソグラフィ技術とドライエッチング技術を必要とする工程数は、コンタクト孔の開孔、下部電極用シリンドラ孔の開孔、上部電極の加工の3回であり、従来の技術よりも一回少なく、工程数を削減できている。また、ホトアライメントの回数も少なくなるので、合わせ余裕の確保面積が小さくでき、その結果としてチップ面積を小さくできた。

## 【0051】

本第1の実施の形態では、バリアメタル膜として窒化チタン膜を用いているが、代わりに窒化タンタル膜、窒化タングステン膜、窒化タングステンシリサイド (WSiN) 膜、窒化タンタルシリサイド (TaSiN) 膜、窒化チタンシリサイド (TiSiN) 膜、窒化チタンアルミニウム (TiAlN) 膜などを用いても良い。

## 【0052】

また、下部電極、上部電極としてルテニウム膜に代えて白金 (Pt)、イリジウム (Ir)、酸化ルテニウム膜、酸化イリジウム膜を用いても良い。また、容量絶縁膜として、酸化タンタル膜に代えて酸化アルミニウム膜、チタン酸ストロンチウム (STO) 膜、チタン酸バリウムストロンチウム (BST) 膜、酸化ハフニウム膜、酸化珪化ハフニウム膜などを用いても良い。

## 【0053】

## (3) 特性評価、解析結果

前項(1)、(2)のキャパシタの特性評価結果、解析結果について詳述する。以下に述べる実験条件は、特記事項以外は上記キャパシタの製造方法に従った。

## 【0054】

図12は、下部電極とバリアメタル膜の導通抵抗を、下部電極底部のルテニウム膜厚の関数として示す。図16の黒三角印は下部電極のルテニウム膜の形成時にコリメート・スパッタ法を、●(黒丸)印はPCMスパッタ法をそれぞれ用いた結果である。

## 【0055】

導通抵抗の評価には、前記キャパシタの製造工程における酸化タンタル膜の改質処理後に酸化タンタル膜51をエッチバックする工程を追加して上部電極61と下部電極41を短絡させた構造の試料を用いた(図13)。導通抵抗は、上部電極61とポリシリコンプラグ11に0.5V印可した時の値を示す。導通抵抗の規格は、DRAMメモリセルのトランジスタのオン抵抗程度以下、すなわち20kΩ・ビット以下とした。コリメート・スパッタ法を用いた場合、下部電極底



部のルテニウム膜厚が 3 0 n m 以上で導通抵抗は 2 0 k  $\Omega$  ・ビット以下となった。一方、PCMスパッタ法を用いた場合、実験した全ての膜厚範囲で 2 0 k  $\Omega$  ・ビット以下となった。

#### 【0 0 5 6】

図 1 4 と図 1 5 は、下部電極底部の断面 TEM (透過型電子顕微鏡) 観察結果を示す。図 1 4 はコリメート・スパッタ法を、図 1 5 は PCM スパッタ法をそれぞれ用いた結果である。下部電極の底面直径を含む断面を観察したものである。断面 TEM 観察には、バリアメタル膜を全面に形成した構造の試料を用いた (図 2 6) 。

#### 【0 0 5 7】

コリメート・スパッタ法を用いた場合、下部電極底部のルテニウム膜をその膜厚方向に貫いて 7 本の粒界が認められる (図 1 4) 。また、ルテニウム膜と窒化チタン (バリアメタル) 膜の界面には酸化チタン膜が認められる。酸化チタン膜は電気抵抗が高く、ルテニウム膜と窒化チタン膜との間の導通抵抗が大きい原因であると考えられる。

#### 【0 0 5 8】

一方、PCMスパッタ法を用いた場合、ルテニウム膜を貫いて 3 本の粒界が認められる (図 1 5) 。また、ルテニウム膜と窒化チタン膜との界面には、酸化チタン膜は認められない。各種スパッタ方式、条件 (成膜温度、圧力) について調べた結果、図 1 7 に示すように、導通抵抗は下部電極底部のルテニウム膜厚と粒界密度に依存することを見出した。

#### 【0 0 5 9】

図 1 7 において、導通抵抗が 2 0 k  $\Omega$  ・ビットを超える条件を  $\Delta$  印で、2 0 k  $\Omega$  ・ビット以下の条件を  $\bullet$  (黒丸) 印及び黒三角印で示す。図中の  $\bullet$  (黒丸) 印は PCM スパッタ法を用いた場合を、黒三角印及び  $\Delta$  印はコリメート・スパッタ法を用いた場合を、それぞれ示す。

#### 【0 0 6 0】

図 1 7 に従うと、下部電極底部のルテニウム膜厚が 3 0 n m 以上の場合に、導通抵抗は 2 0 k  $\Omega$  ・ビット以下となる。また、下部電極底部のルテニウム膜厚が

30 nm以下でも、粒界密度が3本/ビット以下であれば、導通抵抗は20 kΩ・ビット以下となる。

### 【0061】

このように、導通抵抗がルテニウム膜厚と粒界密度で整理できることは、一般に金属膜中の酸素の拡散が粒界を介して起こることにより説明できる。すなわち、ルテニウム膜を通した酸素の拡散は、ルテニウム膜が厚く、また粒界の密度が小さいほど抑制される。この場合、酸化チタン膜が形成されず、導通抵抗が低く保たれる。

### 【0062】

次に、下部電極底部のルテニウム膜の配向性を電子線回折法により調べた。その結果、導通抵抗はルテニウム膜の配向性と相関することがわかった。ルテニウム膜の主な配向は(002)と(100)と(101)であるが、膜厚方向に(002)配向性が大きいほど導通抵抗が小さい。ここで、

$$(002) \text{ 配向性} = I(002) / (I(002) + I(100) + I(101))$$

と定義する。I(abc)は(abc)への配向強度である。各種スパッタ方式、条件について調べた結果、図18に示すように、導通抵抗は下部電極底部のルテニウム膜厚と(002)配向性により整理できた。図18において、導通抵抗が20 kΩ・ビットを超える条件を△印で、20 kΩ・ビット以下の条件を●(黒丸)印及び黒三角印で示す。

### 【0063】

図18に従うと、下部電極底部のルテニウム膜厚が30 nm以上の場合に、導通抵抗は20 kΩ・ビット以下となる。また、下部電極底部のルテニウム膜厚が30 nm以下でも、(002)配向性が70%以上であれば、導通抵抗は20 kΩ・ビット以下となる。このように導通抵抗が(002)配向性に依存することは、配向の境界に生じた粒界を介した酸素の拡散により説明できる。すなわち、金属膜の粒界は結晶配向の境界に生じ易いので、配向性が強いほど粒界の密度は

小さくなる。この場合、ルテニウム膜を通した酸素の拡散が抑制されるので、酸化チタン膜が形成されず、導通抵抗が低く保たれる。

#### 【 0 0 6 4 】

次に、キャパシタの  $I-V$  特性を調べた。図 1 6 に示す断面構造の 2 7 4 k ビットの並列アレイ T E G を用いて、バリアメタル膜の電位を固定して上部電極に電圧を印可し、バリアメタル膜と上部電極の間の電流を測定した。

#### 【 0 0 6 5 】

各種スパッタ方式、条件について調べた結果、リーク電流が小さい条件は図 1 7 の●（黒丸）印と黒三角印の条件と、大きい条件は△印の条件と、それぞれ一致することがわかった。ここでリーク電流の基準は  $\pm 1 \text{ V}$  で  $1 \text{ e} - 8 \text{ A} / \text{cm}^2$  とした。図 1 9 はリーク電流が小さい代表条件（図 1 7 の●（黒丸）印と黒三角印）でのキャパシタの  $I-V$  特性を示す。

#### 【 0 0 6 6 】

この特性は P C M スパッタ法により下部電極底部に 3 0 n m のルテニウム膜を形成（スパッタ法：1 0 n m、C V D 法：2 0 n m）した場合のものであるが、 $\pm 1 \text{ V}$  で  $1 \text{ e} - 9 \text{ A} / \text{cm}^2$  と実用的に十分な程度にリーク電流が抑えられている。一方、図 2 0 はリーク電流が大きい代表条件（図 1 7 の△印）での  $I-V$  特性を示す。

#### 【 0 0 6 7 】

この特性はコリメート・スパッタ法により下部電極底部に 3 0 n m のルテニウム膜を形成（スパッタ法：2 n m、C V D 法：2 0 n m）した場合のものであるが、リーク電流が大きい。酸化タンタル膜の改質時にルテニウム膜と窒化チタン膜との界面に酸化チタン膜が形成され、同時に伴われた体積膨張により酸化タンタル膜に応力が加わるため、リーク電流が増加していると考えられる。

#### 【 0 0 6 8 】

このように、図 1 7 の●（黒丸）印と黒三角印の条件、すなわち下部電極底部のルテニウム膜厚が 3 0 n m 以上の場合、あるいは下部電極底部のルテニウム膜厚が 3 0 n m 以下でも粒界密度が 3 本／ビット以下の場合に、酸化チタン膜が形成される問題が無く、キャパシタのリーク電流が実用面で十分に小さくなる。

## 【 0 0 6 9 】

P C Mスパッタ法を用いた場合、コリメート・スパッタ法を用いた場合よりも粒界密度が小さい、また ( 0 0 2 ) 配向性が大きい、これは P C M法でのスパッタ粒子が大きな運動エネルギーを持ち、これが下部電極底部でスパッタ粒子の熱エネルギーに変換され、結晶成長が促進されるためと考えられる。

## 【 0 0 7 0 】

また、酸化タンタル膜 5 1 を形成する前に下部電極 4 1 を熱処理すること、結晶成長が促進され、粒界密度が小さく、また配向性が大きくなる。この熱処理を水素などの還元性雰囲気で行うと、下部電極 ( ルテニウム膜 ) 中の微量不純物 ( 酸素、炭素など ) を取り除くことにより結晶成長がさらに促進され、粒界密度の低減、また配向性向上の効果が大きくなる。

## 【 0 0 7 1 】

このように、下部電極の形成に高イオン化率のスパッタを用いること、下部電極を還元性雰囲気中で熱処理することなどを適宜組み合わせることで、酸化チタン膜の形成が十分に抑制して、キャパシタのリーク電流と、導通抵抗を十分に小さくすることができる。

## 【 0 0 7 2 】

( 第 2 の実施の形態 )

( 1 ) 構造

図 2 1 は、本発明の第 2 の実施の形態である M I M型キャパシタを示す縦断面図である。本第 2 の実施の形態は、上記第 1 の実施の形態 ( 図 1 ) のポリシリコンプラグとバリア金属膜に代えて、金属プラグ 3 5 を適用した応用例である。

## 【 0 0 7 3 】

本実施の形態のキャパシタの下部電極 4 1 は、その底面でタングステン膜 3 7 と窒化チタン膜 3 6 から成る金属プラグ 3 5 と接続され、金属プラグ 3 5 はその下方でポリシリコンプラグ ( 図 4 5 の 1 2 に相当 ) を介してトランジスタの拡散層領域 ( 図 4 5 の 6 に相当 ) と接続されている。

## 【 0 0 7 4 】

下部電極 41 の底面部分が厚いために酸素の拡散が十分に抑制されるので、窒化チタン膜よりも耐酸化性が劣るタングステン膜を直に下部電極 41 に接続しても、メタルプラグ酸化により導通抵抗が増大する、リーク電流が増大するという問題が生じない。また、本実施の形態ではポリシリコンプラグに代えてメタルプラグ 35 を用いることにより、この部分の抵抗を低減できる利点がある。

#### 【0075】

##### (2) 製造方法

図 21 に示すキャパシタの製造方法について、図 22 乃至図 24 を用いて説明する。

#### 【0076】

まず、層間絶縁膜 21 を貫いてコンタクト孔 91 を貫通させる（図 22）。コンタクト孔 91 の内部と孔上に均一に 20 nm 厚の窒化チタン膜 36 と、100 nm 厚のタングステン膜 37 をそれぞれ CVD 法により形成する。（図 23）。

#### 【0077】

続いて、CMP 法によりコンタクト孔外の窒化チタン膜とタングステン膜を除去する（図 24）。その後は、第 1 の実施の形態に準じて、キャパシタと上部電極を形成して、図 21 に示す構造のキャパシタを完成した。

#### 【0078】

本実施の形態では、上記第 1 の実施の形態と比較して、ポリシリコン膜の形成及びそのエッチバック工程が削減されている。

#### 【0079】

##### (第 3 の実施の形態)

##### (1) 構造

図 25 は、本発明の第 3 の実施の形態である MIM 型キャパシタを示す縦断面図である。本第 3 の実施の形態は、上記第 2 の実施の形態（図 21）の下部電極と上部電極に、ルテニウム膜に代えて窒化チタン膜を適用した応用例である。

#### 【0080】

本実施の形態のキャパシタは、下層の素子を覆う層間絶縁膜 21 上に形成され、該層間絶縁膜 21 上に形成された層間絶縁膜 22 に設けられた孔内に下部電極

として窒化チタン膜 46 と、上部電極として窒化チタン膜 66 と、容量絶縁膜として酸化タンタル膜 51 を積層してキャパシタが構成されている。

#### 【0081】

キャパシタの下部電極 46 は、その底面でタングステン膜 37 と窒化チタン膜 36 から成るメタルプラグ 35 と接続され、メタルプラグ 35 はその下方でコンタクトメタル膜（図示せず）とポリシリコンプラグ（図示せず）を介してトランジスタの拡散層領域（図示せず）と接続されている。

#### 【0082】

下部電極と上部電極に窒化チタン膜を用いる場合、ルテニウム膜の場合と比較して、単位電極面積当たりの容量が低下する（酸化タンタル膜と電極界面に低容量の窒化チタン膜が形成されるため）、リーク電流が増加するなどの欠点がある。一方で、電極の材料コストを低減できる利点があり、DRAM とロジック回路（SRAM など）を混載した LSI（大規模集積回路）への応用は有効である。

#### 【0083】

本実施の形態では、下部電極 46 の底面部分が厚いことで酸素の拡散が十分に抑制されるので、メタルプラグ酸化により導通抵抗が増大する、リーク電流が増大するという問題が生じない。

#### 【0084】

##### （2）製造方法

図 25 に示すキャパシタの製造方法について、図 26 乃至図 29 を用いて説明する。

#### 【0085】

まず、上記第 2 の実施の形態の図 22 乃至図 24 に示す製造方法に準じて、メタルプラグを形成する。

#### 【0086】

次に、層間絶縁膜 22 を形成し、該層間絶縁膜 22 を貫くシリンダ孔 92 を形成し、該シリンダ孔 92 の底面部分にメタルプラグ 35 の表面を露出させる（図 26）。

#### 【0087】

次に、下部電極として窒化チタン膜 46 をスパッタ法と CVD 法により形成した (図 27)。ここでは、まず PCM スパッタ法により孔上で 20 nm 厚相当の窒化チタン膜を形成する。この際、孔底部には 10 nm の窒化チタン膜が形成される。

#### 【0088】

続いて、CVD 法により 20 nm 厚の窒化チタン膜を形成する。スパッタ法と CVD 法の両工程により、孔底部には 30 nm 厚、側壁には 20 nm 厚の窒化チタン膜が形成される。

#### 【0089】

次に、ホトレジスト膜 (図 8 の 99 に相当) により孔内の窒化チタン膜を保護しつつ、孔上部の窒化チタン膜をエッチバック除去してコップ型の下部電極 46 を得る (図 28)。

#### 【0090】

次に、15 nm 厚の酸化タンタル膜 51 を CVD 法により形成し、酸化タンタル膜 51 を改質するために 410℃ オゾン雰囲気中で 10 分間の熱処理を行う (図 29)。続いて、上部電極 66 として、CVD 法により窒化チタン膜を形成し、その上に上部電極の抵抗低減のためスパッタ法によりタングステン膜 71 を形成する。

#### 【0091】

窒化チタン膜 66 とタングステン膜 71 をホトリソグラフィー技術とドライエッチング技術により、所望の上部電極形状に加工し、図 25 に示す構造のキャパシタを完成した。

#### 【0092】

(第 4 の実施の形態)

(1) 構造

図 34 は、本発明の第 4 の実施の形態である MIM 型キャパシタを示す縦断面図である。本第 4 の実施の形態は、上記第 1 の実施の形態 (図 1) とは異なる構造の下部電極への応用例である。

#### 【0093】

本実施の形態では、下部電極としてペデスタル（柱状）構造のルテニウム膜 4 1 と、上部電極としてルテニウム膜 6 1 と、容量絶縁膜として酸化タンタル膜 5 1 を積層してキャパシタが構成されている。

#### 【0094】

下部電極 4 1 はその底面でバリアメタル膜 3 2 と接続され、バリアメタル膜 3 2 はその下面でコンタクトメタル膜 3 1 を介してポリシリコンプラグ 1 1 と接続され、さらにポリシリコンプラグ 1 1 はその下方でポリシリコンプラグ（図 4 5 の 1 2 に相当）を介してトランジスタの拡散層領域（図 4 5 の 6 に相当）と接続されている。

#### 【0095】

本実施の形態では下部電極 4 1 が「す」（空洞）9 5 を有する。この「す」（空洞）はシリンダ孔を CVD 法により埋め込んだ膜を下部電極に用いる場合に必ず形成されるが、この「す」の先端からバリアメタル膜 3 2 に向けて下部電極を貫いて、酸化タンタル膜 5 1 の改質処理時に酸素が拡散する。

#### 【0096】

したがって、本実施の形態では、リーク電流と導通抵抗の増大について、下部電極の「す」の先端からバリアメタル膜までの距離、下部電極「す」の先端からバリアメタル膜まで貫く粒界の密度、下部電極底部の配向性で整理することができる。上記第 1 の実施の形態で述べたリーク電流と導通抵抗について、以下の 2 項目についての読み替えを行うことで本実施の形態に適用することができる。

#### 【0097】

（下部電極膜厚）→（下部電極「す」の先端からバリアメタル膜までの距離）

（下部電極膜を膜厚方向に貫く粒界密度）→（下部電極「す」の先端からバリアメタル膜まで貫く粒界の密度）

すなわち、「す」9 5 の先端からバリアメタル膜 3 2 までの距離（図 3 0 の a）が 30 nm 以上、あるいはこの部分の粒界密度が 3 本以下、あるいは（002）配向性が 70 % 以上の場合、キャパシタのリーク電流が増大する、下部電極と



バリアメタル膜の導通抵抗が増大するという問題が生じない。

#### 【0 0 9 8】

##### (2) 製造方法

図 3 0 に示すキャパシタの製造方法について、図 3 1 乃至図 3 5 を用いて説明する。まず、第 1 の実施の形態の図 2 乃至図 5 に示す製造方法に準じて、ポリシリコンプラグ 1 1 とバリアメタル膜 3 2 を形成する (図 5)。

#### 【0 0 9 9】

次に、層間絶縁膜 2 3 と層間絶縁膜 2 2 を順次形成し、これらの層間絶縁膜 2 3 と層間絶縁膜 2 2 を貫くシリンダ孔 9 2 を形成し、該シリンダ孔 9 2 の底面部分ではバリアメタル膜 3 2 の表面を露出させる (図 3 1)。

#### 【0 1 0 0】

次に、下部電極としてルテニウム膜 4 1 をスパッタ法と C V D 法により形成する (図 3 2)。ここでは、まず P C M スパッタ法により孔上で 2 0 n m 厚相当のルテニウム膜を形成した。この際、孔底部には 1 0 n m のルテニウム膜が、孔側壁部には非常に薄い (< 1 n m) ルテニウム膜が形成された。続いて、C V D 法によりルテニウム膜を形成したが、孔側壁部ではスパッタ法により形成された薄いルテニウム膜がシード層 (種層) として機能し、孔上部と孔側壁部と孔底部に均一に 7 0 n m 厚のルテニウム膜が成長した。ルテニウム膜の中心部には「す」9 5 が形成されたが、この「す」9 5 の先端からバリアメタル膜 3 2 の上面までの距離は 3 0 n m 以上となった。

#### 【0 1 0 1】

次に、孔上部のルテニウム膜を C M P 法により除去して (図 3 3)、層間絶縁膜 2 2 をウエットエッチングにより除去して (図 3 3)、ペDESTAL (柱状) 型の下部電極を得た (図 3 4)。その後、ルテニウム膜 4 1 の配向性を向上するため、水素中 (窒素希釈 2 0 %) で熱処理する。

#### 【0 1 0 2】

次に、1 5 n m 厚の酸化タンタル膜 5 1 を C V D 法により形成し、酸化タンタル膜 5 1 を改質するために 4 1 0 ℃ オゾン雰囲気中で 1 0 分間の熱処理を行う (図 3 5)。続いて、上部電極として、スパッタ法と C V D 法によりルテニウム膜

6 1 を形成し、その上に上部電極の抵抗低減のためスパッタ法によりタングステン膜 7 1 を形成する。ルテニウム膜 6 1 とタングステン膜 7 1 をホトリソグラフィ技術とドライエッチング技術により、所望の上部電極形状に加工し、図 3 0 の構造のキャパシタを完成した。

### 【0 1 0 3】

(第 5 の実施の形態)

#### (1) 構造

図 4 6 は、本発明の第 5 の実施の形態である M I M 型キャパシタを示す縦断面図である。

### 【0 1 0 4】

本実施の形態では、層間絶縁膜 2 2 に設けられた孔内にルテニウム膜 4 1 と、上部電極としてルテニウム膜 6 1 と、容量絶縁膜として酸化タンタル膜 5 1 を積層してキャパシタが構成されている。下部電極 4 1 部に積層して第二のバリアメタル膜 3 3 を第一のバリアメタル膜 3 2 に接して設けてある。

### 【0 1 0 5】

第一のバリアメタル膜 3 2 は、第 1 の実施の形態と同様、その下面でコンタクトメタル膜 3 1 を介してポリシリコンプラグ 1 1 と接続され、さらにポリシリコンプラグ 1 1 はその下方でポリシリコンプラグ (図 4 5 の 1 2 に相当) を介してトランジスタの拡散層領域 (図 4 5 の 6 に相当) と接続されている。

### 【0 1 0 6】

導通抵抗は異種金属材料、すなわちルテニウム膜 (下部電極) と窒化チタン膜 (バリアメタル膜) とが接触する面積に反比例する。本実施の形態では、第 1 の実施の形態と比較して、ルテニウム膜と窒化チタン膜との接触部の面積が大きく、下部電極とバリアメタル膜の導通抵抗が低減される。

### 【0 1 0 7】

また、バリアメタル膜とキャパシタの間のホトリソグラフィの層合わせずれに対し、導通抵抗が影響されにくいという利点もある。さらに、下部電極と接するバリアメタル膜はスパッタ法により形成された膜である方が、導通抵抗が小さくなるという利点がある。これは、C V D 法により形成されたバリアメタル膜 (例

として窒化チタン膜の場合)は塩素、酸素などの不純物を含有するため、この不純物に起因して酸化物膜が(酸化チタン膜)が形成されやすくなるためである。

#### 【0 1 0 8】

図 3 6 に第 1 の実施の形態や第 2 の実施の形態を応用して、図 3 7 及び図 3 8 のようにすれば、さらに下部電極とバリアメタル膜の導通抵抗が低減されて効果的である。

#### 【0 1 0 9】

##### (2) 製造方法

図 3 8 に示すキャパシタの製造方法について、図 3 9 乃至図 4 3 を用いて説明する。

#### 【0 1 1 0】

まず、第 1 の実施の形態の図 2 乃至図 5 に示す製造方法に準じて、ポリシリコンプラグ 1 1 と第一のバリアメタル膜 3 2 を形成する(図 5)。

#### 【0 1 1 1】

次に、層間絶縁膜 2 2 を形成し、該層間絶縁膜 2 2 を貫くシリンダ孔 9 2 を形成し、該シリンダ孔 9 2 の底面部分に第一のバリアメタル膜 3 2 の表面を露出させる(図 3 9)。

#### 【0 1 1 2】

次に、P C M スパッタ法により孔上で 2 0 n m 厚相当の窒化チタン膜 3 3 を形成する。この際、孔底部には 1 0 n m の窒化チタン膜が、孔側壁部には非常に薄い(< 1 n m、図示せず)窒化チタン膜が形成される(図 4 0)。その後、下部電極としてルテニウム膜 4 1 をスパッタ法と C V D 法により形成する(図 4 1)。

#### 【0 1 1 3】

ここでは、まず P C M スパッタ法により孔上で 2 0 n m 厚相当のルテニウム膜を形成した。この際、孔底部には 1 0 n m のルテニウム膜が、孔側壁部には非常に薄い(< 1 n m) ルテニウム膜が形成された。続いて、C V D 法によりルテニウム膜を形成したが、孔側壁部ではスパッタ法により形成された薄いルテニウム膜がシード層(種層)として機能し、孔上部と孔側壁部と孔底部に均一に 2 0 n

m厚のルテニウム膜が成長した。スパッタ法とCVD法の両工程により、孔底部には30nm厚、側壁には20nm厚のルテニウム膜が形成された。

#### 【0114】

次に、ホトレジスト膜（図8の99に相当）により孔内のルテニウム膜を保護しつつ、孔上部のルテニウム膜と窒化チタン膜をエッチバック除去してコップ型の下部電極を得た（図40）。その後、ルテニウム膜41の配向性を向上するため、水素中（酸素希釈20%）で熱処理する。

#### 【0115】

次に、15nm厚の酸化タンタル膜51をCVD法により形成し、酸化タンタル膜51を改質するために410℃オゾン雰囲気中で10分間の熱処理を行う（図41）。この際、下部電極の頭頂部にわずかに露出した窒化チタン膜は、酸化されて酸化チタンに変換される。続いて、上部電極として、スパッタ法とCVD法によりルテニウム膜61を形成し、その上に上部電極の抵抗低減のためスパッタ法によりタンゲステン膜71を形成する。ルテニウム膜61とタンゲステン膜71をホトリソグラフィ技術とドライエッチング技術により、所望の上部電極形状に加工し、図38に示す構造のキャパシタを完成した。

#### 【0116】

本実施の形態では、第二のバリアメタル膜33として窒化チタン膜を用いているが、これに代えて窒化タンタル膜を用いることもできる。この場合には、窒化チタン膜を用いる場合よりもキャパシタのリーク電流を低減できる。以下にその理由を述べる。

#### 【0117】

上記実施例5では酸化タンタル膜51の改質熱処理（図41）時に、下部電極の頭頂部に露出した窒化チタン膜が酸化チタン膜に変換され、この酸化チタン膜が容量絶縁膜（酸化タンタル膜51）と直接接する部分が生じる。この部分では酸化タンタル膜51から酸化チタンへ酸素の移動が起こりやすく（チタンよりもタンタルは酸化されやすいため）、酸化タンタル膜に生じた酸素の欠損がリーク電流を増大させる。一方、第二のバリアメタル膜33として窒化タンタル膜を用いた場合には、上記のような酸素の移動が起こりにくいので、リーク電流が増大

することが無い。

#### 【0118】

また、本実施の形態では、第二のバリアメタル膜（窒化チタン膜）33と下部電極のルテニウム膜41を同時にエッチバック除去しているが、第二のバリアメタル膜33の形成後に第二のバリアメタル膜33のみをエッチバック除去し、その後、下部電極のルテニウム膜41を形成し、ルテニウム膜41のみをエッチバック除去することもできる。この場合工程数は増加するが、下部電極の頭頂部における酸化チタン膜と酸化タンタル膜が直接接する部分を生じなくできるので、リーク電流を低減できる。

#### 【0119】

なお、本発明は上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

#### 【0120】

##### 【発明の効果】

(1) 本発明によれば、特別に工程数を増加すること無く、また合わせの余裕を確保しつつ、MIM型キャパシタの下部電極の底面部分を側壁部分よりも厚く（ $\geq 30\text{ nm}$ ）すること、粒界密度を3個/ビット以下とすること、配向性を70%以上とすることができる効果がある。

#### 【0121】

(2) 本発明によれば、上記効果(1)により、MIM型キャパシタのリーク電流を低減できる、また下部電極とバリアメタル膜の導通抵抗を低減できるという効果がある。

#### 【0122】

(3) 本発明によれば、上記効果(2)により、MIM型キャパシタの信頼性を向上すること、及びDRAMの動作速度が向上するという効果がある。

#### 【0123】

(4) 本発明によれば、上記効果(1)により、メモリセルを微細化できるという効果がある。

#### 【0124】

(5) 本発明によれば、上記効果(4)により、同一容量の半導体記憶装置のチップサイズを縮小できるという効果がある。

**【図面の簡単な説明】**

**【図 1】**

本発明の第 1 の実施態様のキャパシタを示す縦断面図である。

**【図 2】**

本発明の第 1 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 3】**

本発明の第 1 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 4】**

本発明の第 1 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 5】**

本発明の第 1 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 6】**

本発明の第 1 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 7】**

本発明の第 1 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 8】**

本発明の第 1 の実施のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 9】**

本発明の第 1 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 1 0】**

本発明の第 1 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

【図 1 1】

本発明の第 1 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

【図 1 2】

導通抵抗の下部電極底部ルテニウム膜厚依存性を示す実験結果を示す図である。

【図 1 3】

導通抵抗評価に用いた試料の縦断面図である。

【図 1 4】

下部電極底部の断面 T E M 観察結果を示す図である。

【図 1 5】

下部電極底部の断面 T E M 観察結果を示す図である。

【図 1 6】

下部電極底部の断面 T E M 観察試料の縦断面図である。

【図 1 7】

導通抵抗のルテニウム膜厚、粒界依存性を示す実験結果を示す図である。

【図 1 8】

導通抵抗のルテニウム膜厚、( 0 0 2 ) 配向性依存性を示す実験結果を示す図である。

【図 1 9】

キャパシタの I - V 特性を示す図である。

【図 2 0】

キャパシタの I - V 特性を示す図である。

【図 2 1】

本発明の第 2 の実施の形態のキャパシタを示す縦断面図である。

【図 2 2】

本発明の第 2 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図で

ある。

【図 2 3】

本発明の第 2 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

【図 2 4】

本発明の第 2 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

【図 2 5】

本発明の第 3 の実施の形態のキャパシタを示す縦断面図である。

【図 2 6】

本発明の第 3 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

【図 2 7】

本発明の第 3 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

【図 2 8】

本発明の第 3 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

【図 2 9】

本発明の第 3 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

【図 3 0】

本発明の第 3 の実施の形態のキャパシタを示す縦断面図である。

【図 3 1】

本発明の第 4 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

【図 3 2】

本発明の第 4 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。



**【図 3 3】**

本発明の第 4 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 3 4】**

本発明の第 4 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 3 5】**

本発明の第 4 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 3 6】**

本発明の第 5 の実施の形態のキャパシタを示す縦断面図である。

**【図 3 7】**

本発明の第 5 の実施の形態のキャパシタを示す縦断面図である。

**【図 3 8】**

本発明の第 5 の実施の形態のキャパシタを示す縦断面図である。

**【図 3 9】**

本発明の第 5 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 4 0】**

本発明の第 5 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 4 1】**

本発明の第 5 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 4 2】**

本発明の第 5 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図である。

**【図 4 3】**

本発明の第 5 の実施の形態のキャパシタの製造方法を工程毎に示す縦断面図で

ある。

【図 4 4】

MIM型キャパシタの代表的従来例を示す縦断面図である。

【図 4 5】

MIM型キャパシタを有するメモリセルの従来例を示す縦断面図である。

【図 4 6】

MIM型キャパシタの従来例を示す縦断面図である。

【図 4 7】

MIM型キャパシタの従来例を示す縦断面図である。

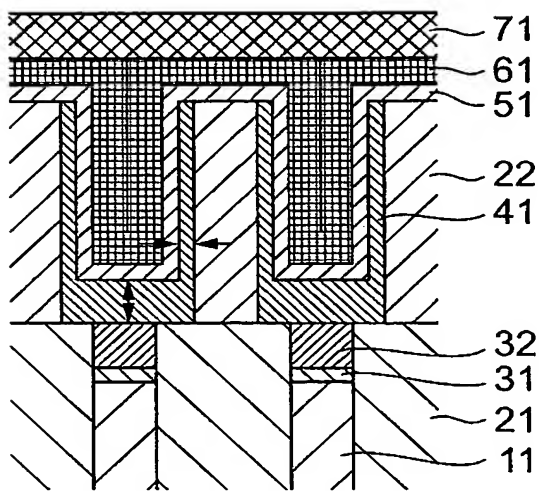
【符号の説明】

- 2 分離絶縁膜
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5、6 拡散層領域
- 8 ビット線
- 10 シリコン基板
- 11、12 ポリシリコンプラグ
- 21、22、23、24、25、26 層間絶縁膜
- 31 コンタクトメタル膜、及びチタンシリサイド膜
- 32 (第一の) バリアメタル膜、及び窒化チタン膜
- 33 第二のバリアメタル膜、及び窒化チタン膜
- 7、35 メタルプラグ
- 36 窒化チタン膜
- 37 タングステン膜
- 41、42 下部電極、及びルテニウム膜
- 46 下部電極、及び窒化チタン膜
- 51 容量絶縁膜、及び酸化タンタル膜
- 61 上部電極、及びルテニウム膜
- 66 上部電極、及び窒化チタン膜

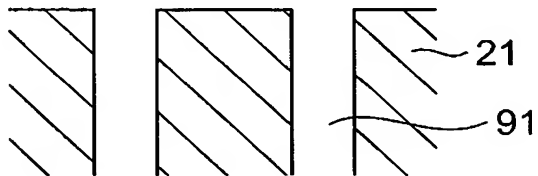
- 7 1 タングステン膜
- 9 1 コンタクト孔
- 9 2 シリンダ孔
- 9 5 「す」 (空洞)
- 9 9 ホトレジスト膜

【書類名】 図面

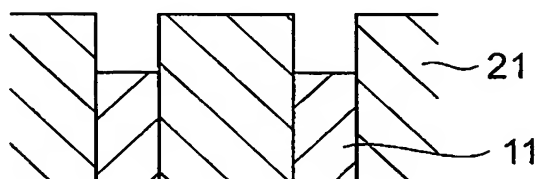
【図 1】



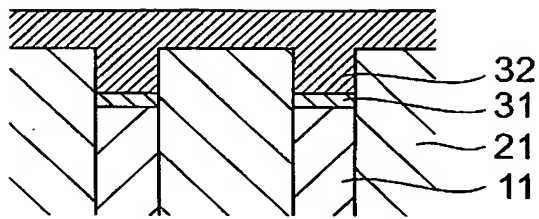
【図 2】



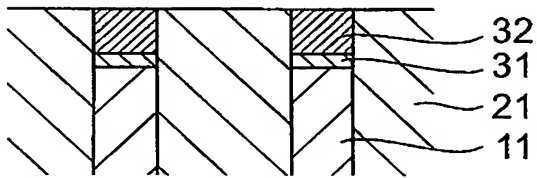
【図 3】



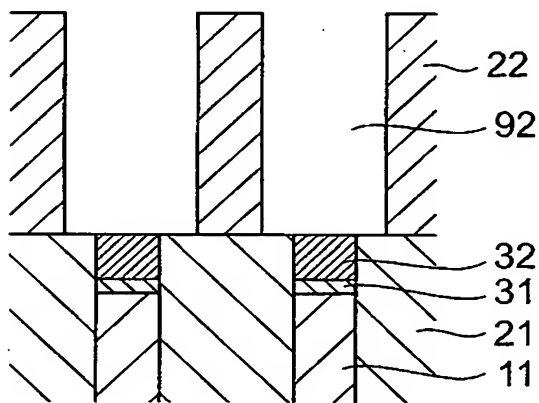
【図 4】



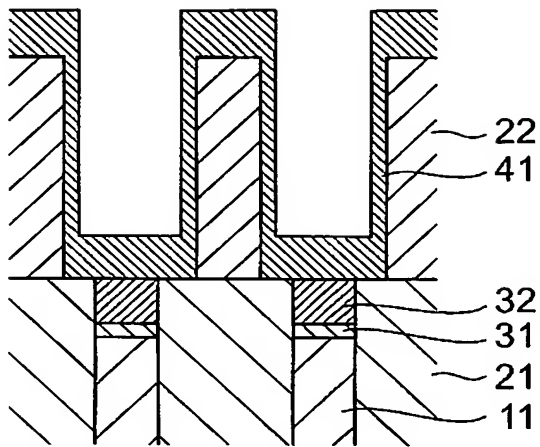
【図 5】



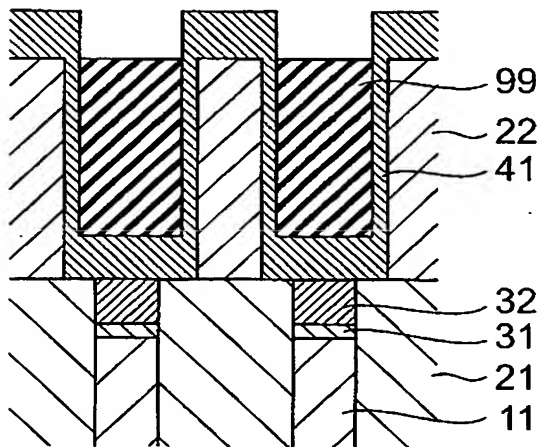
【図 6】



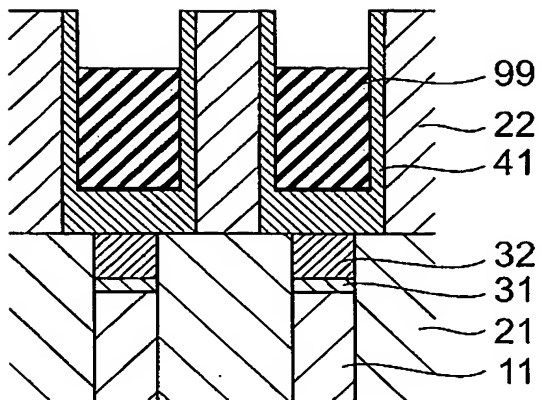
【図 7】



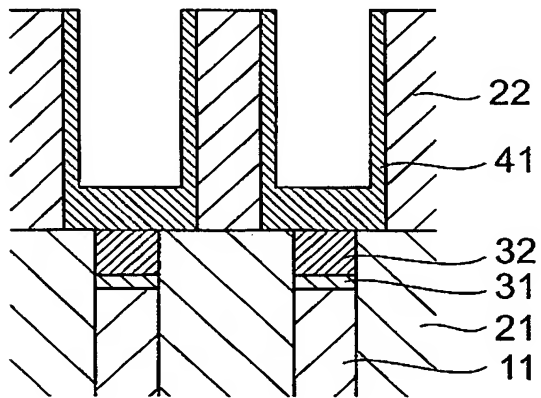
【図 8】



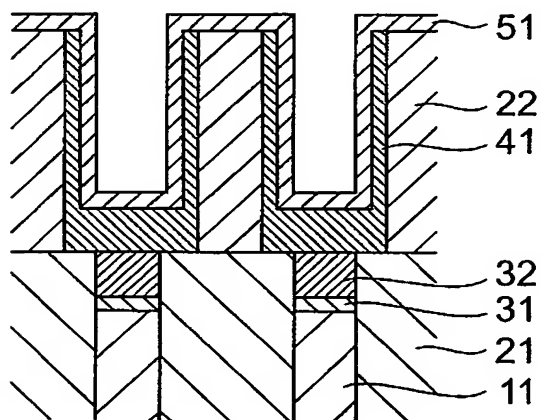
【図 9】



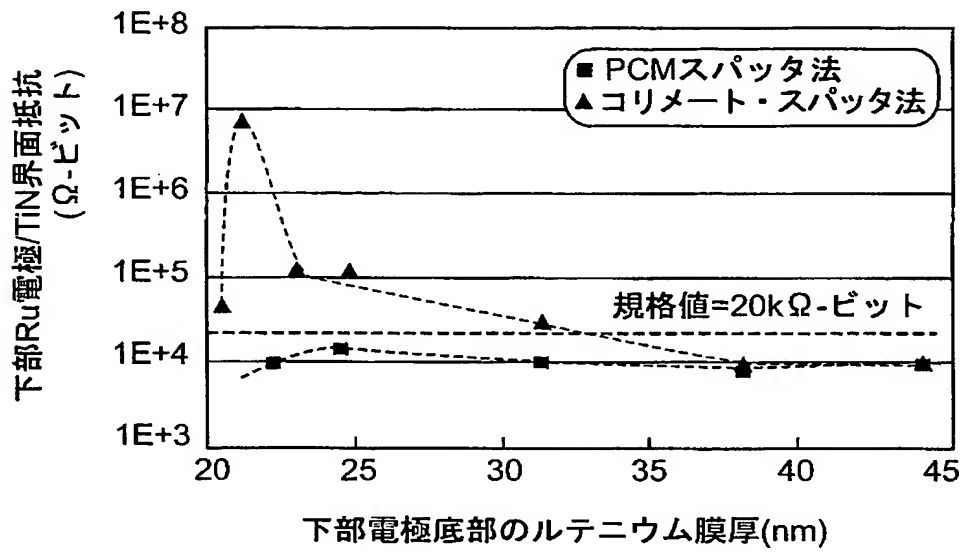
【図 10】



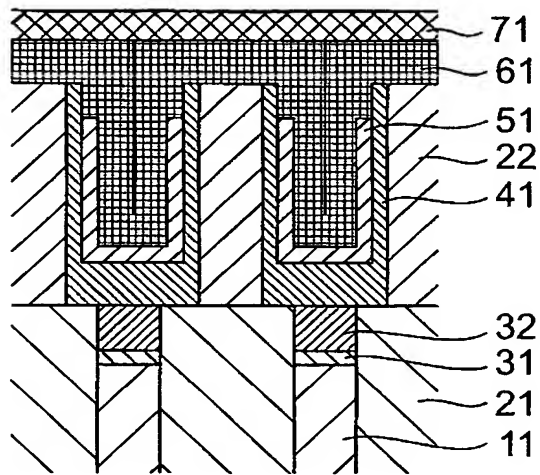
【図 11】



【図 1 2】

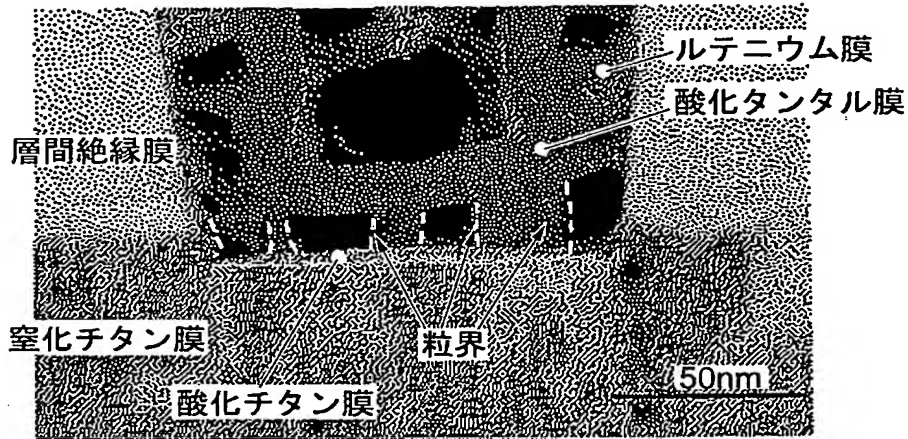


【図 1 3】

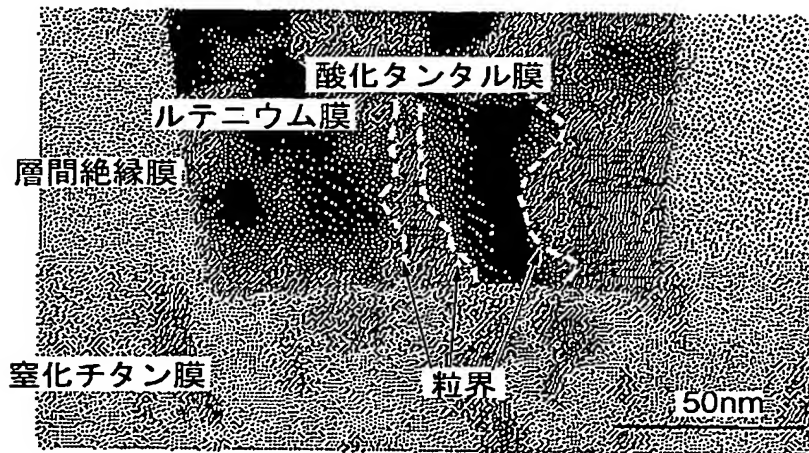




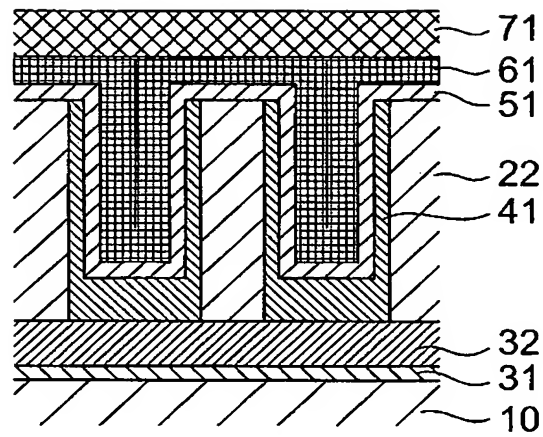
【図 14】



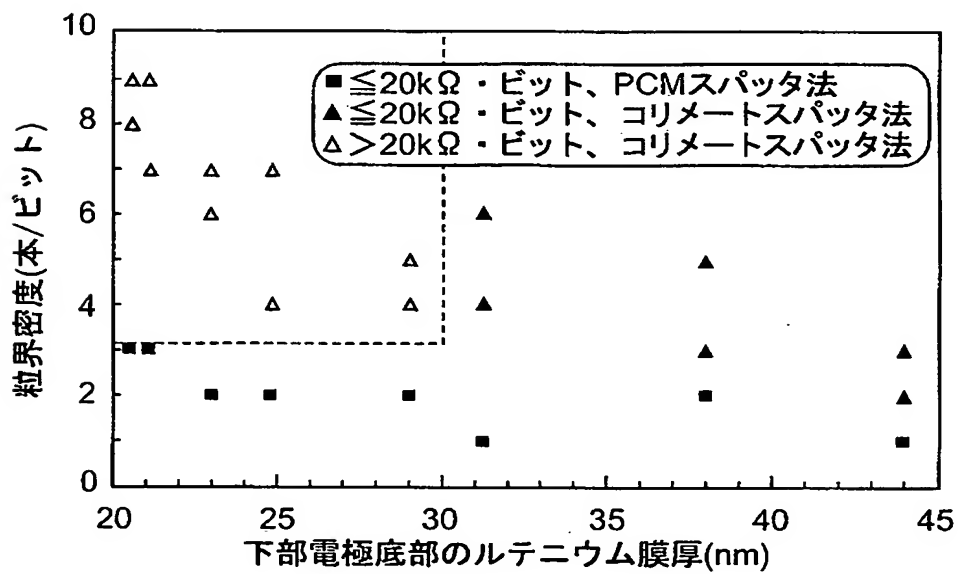
【図 15】



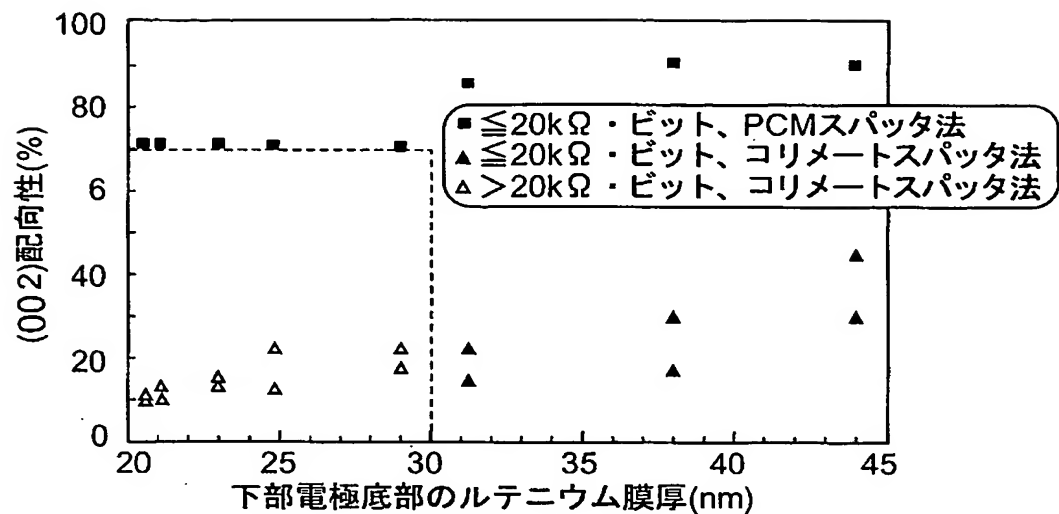
【図 16】



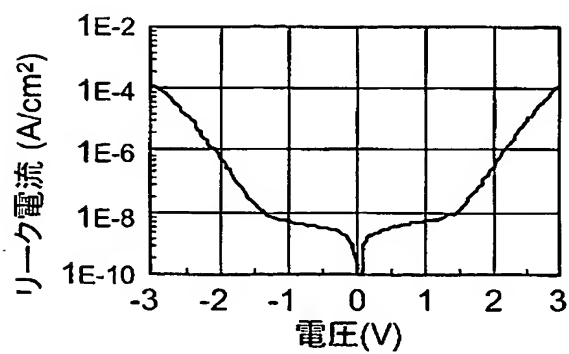
【図 17】



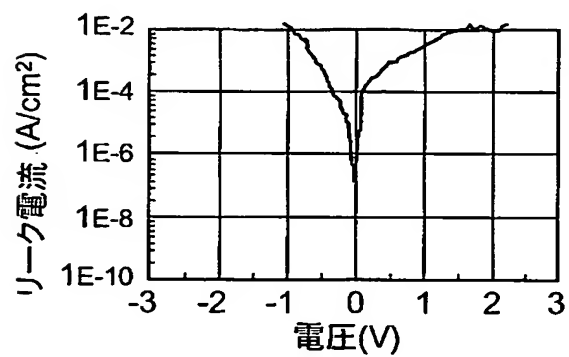
【図 18】



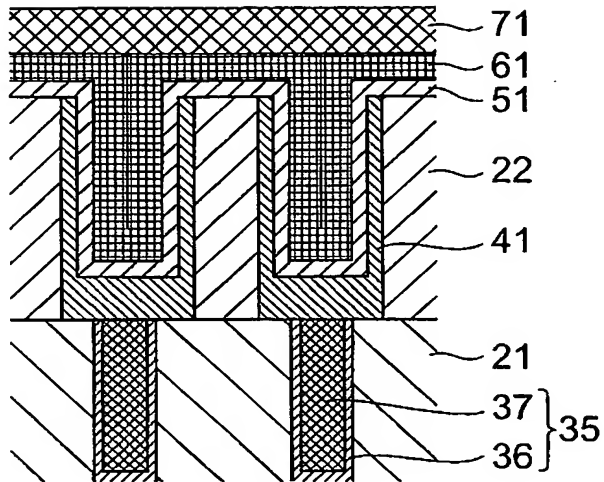
【図 19】



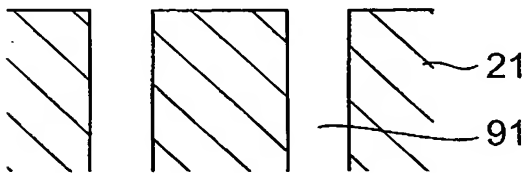
【図 20】



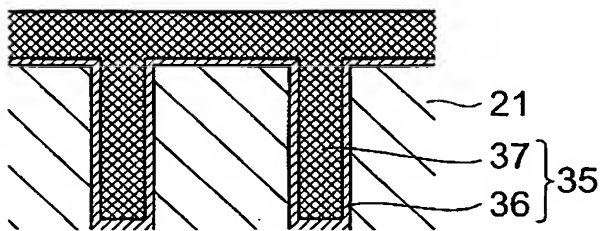
【図 2 1】



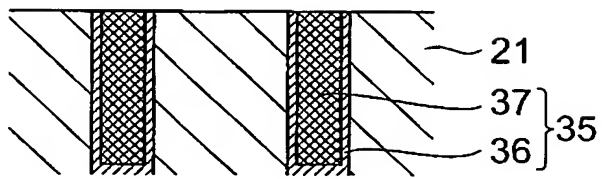
【図 2 2】



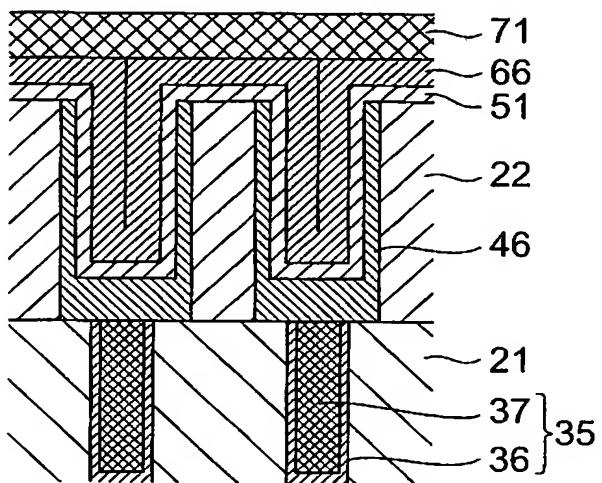
【図 2 3】



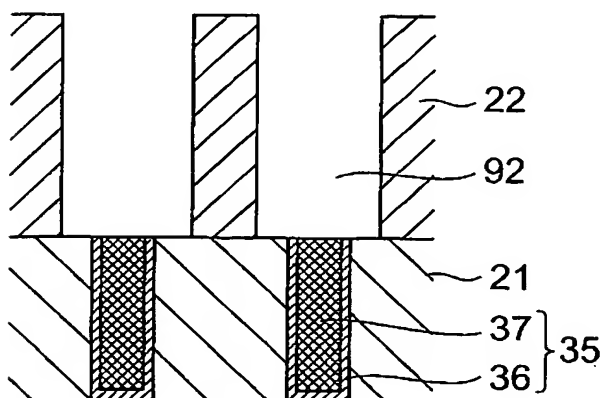
【図 2 4】



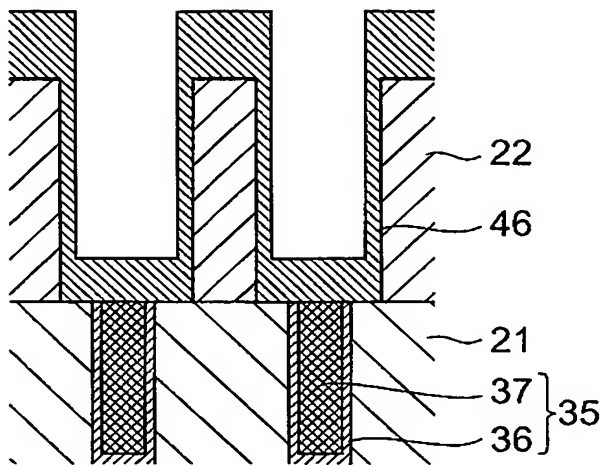
【図 2 5】



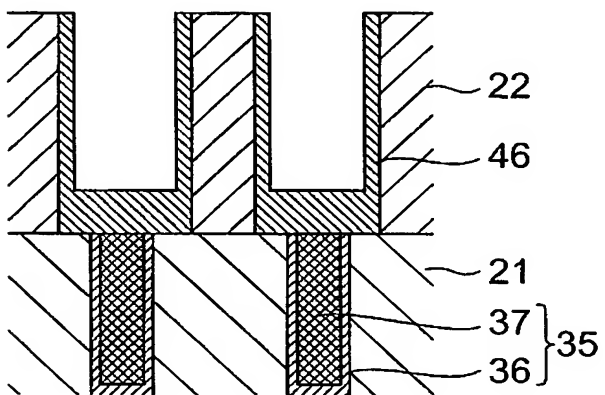
【図 2 6】



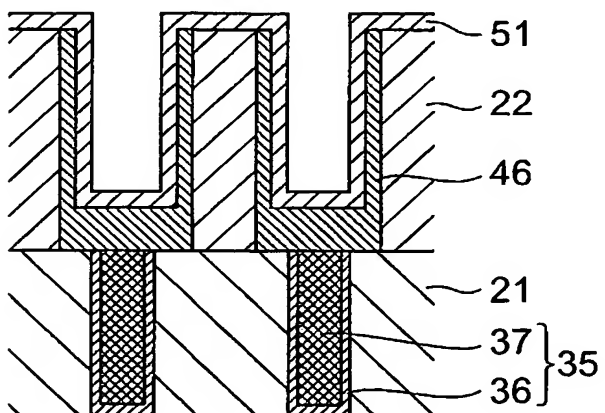
【図 27】



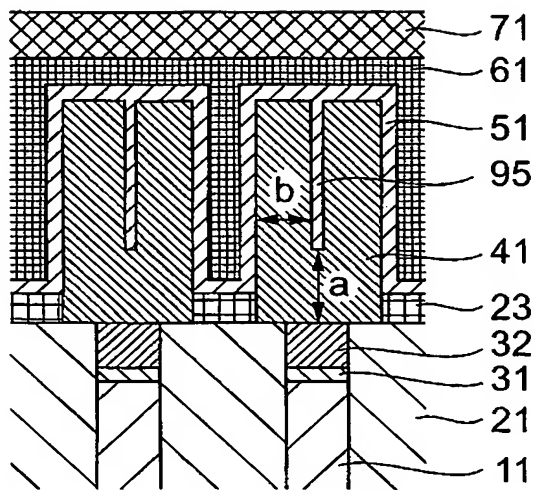
【図 28】



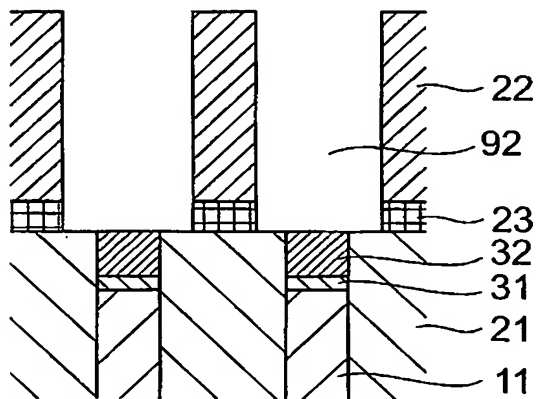
【図 29】



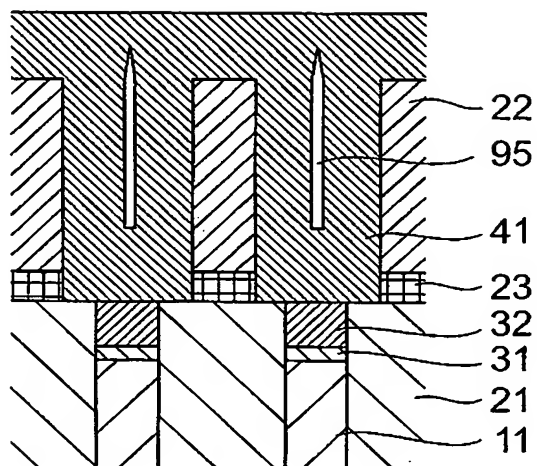
【図 30】



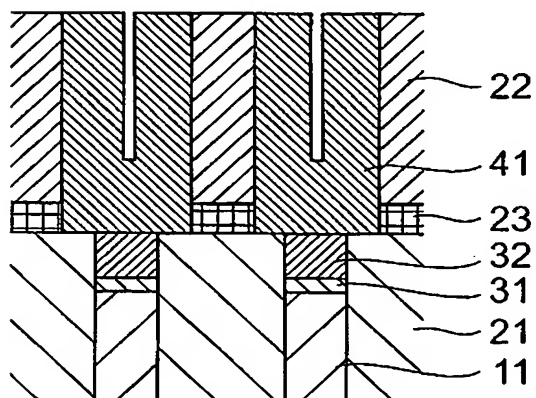
【図 31】



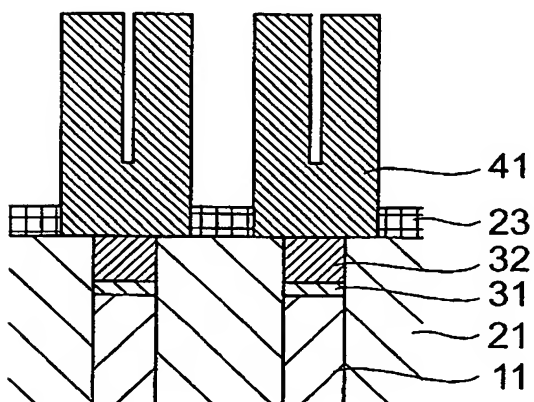
【図 3 2】



【図 3 3】

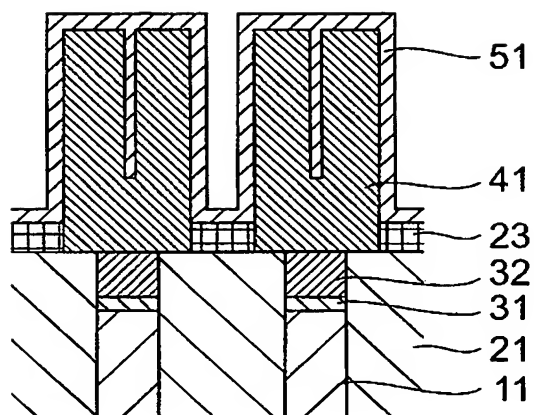


【図 3 4】

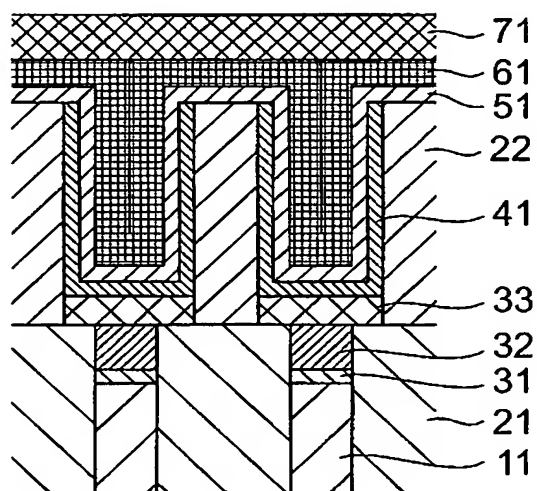




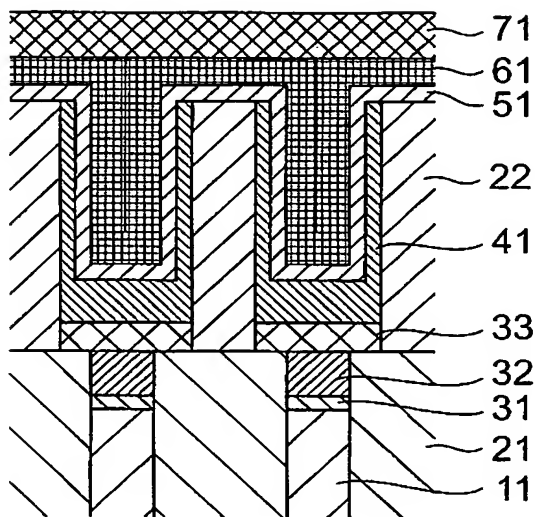
【図 3 5】



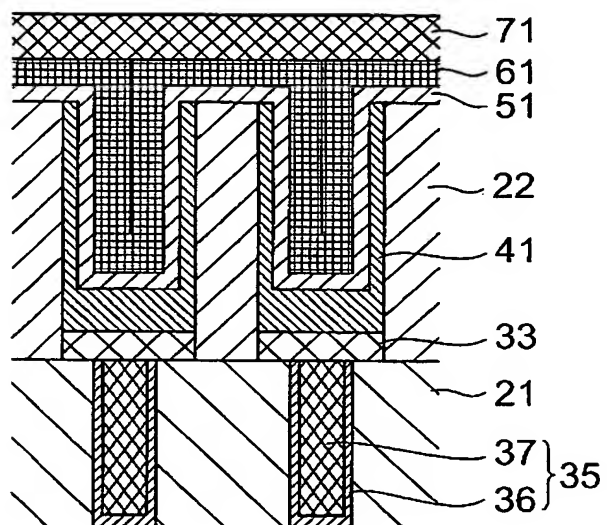
【図 3 6】



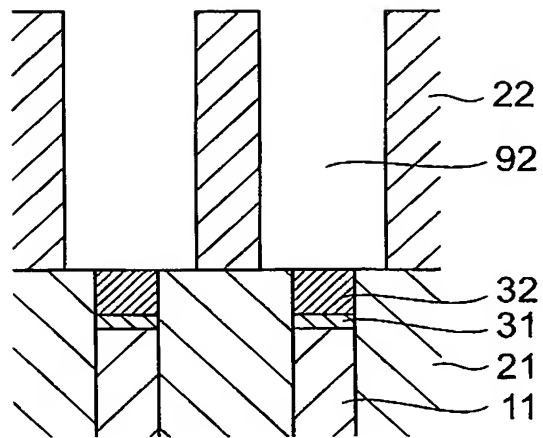
【図 37】



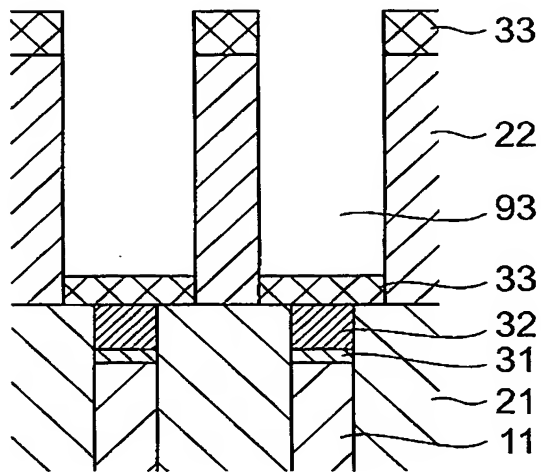
【図 38】



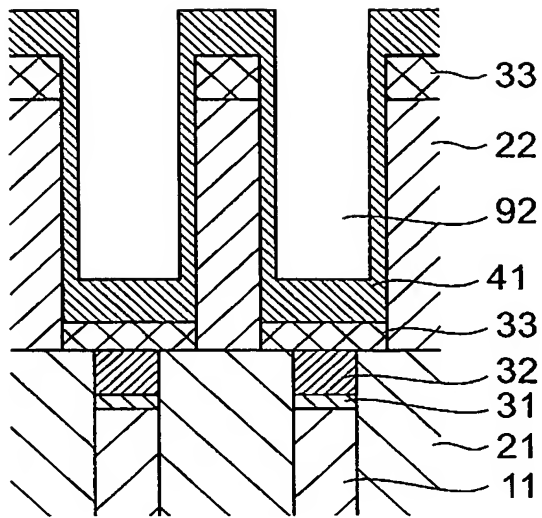
【図 39】



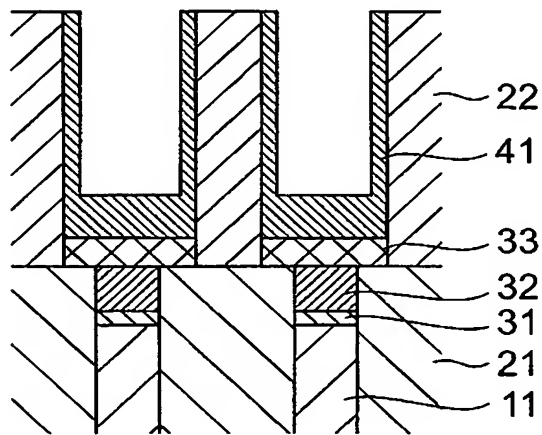
【図 40】



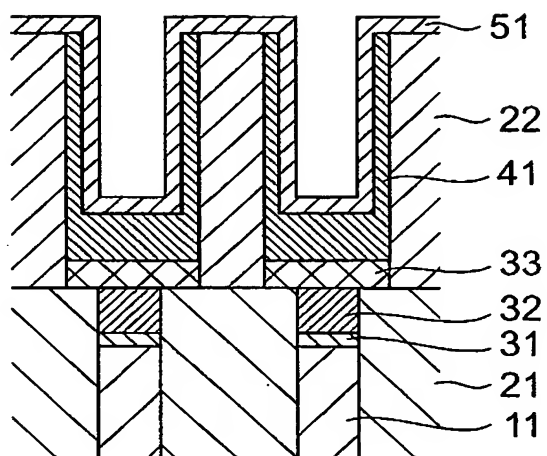
【図 4 1】



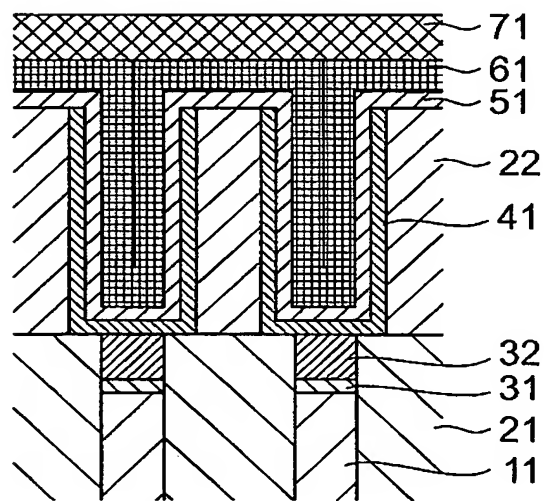
【図 4 2】



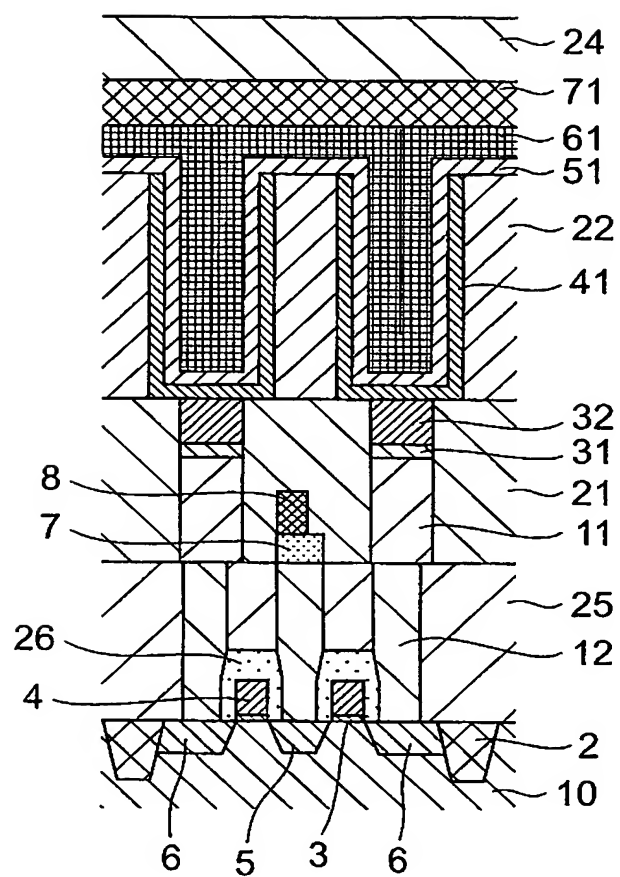
【図 4 3】



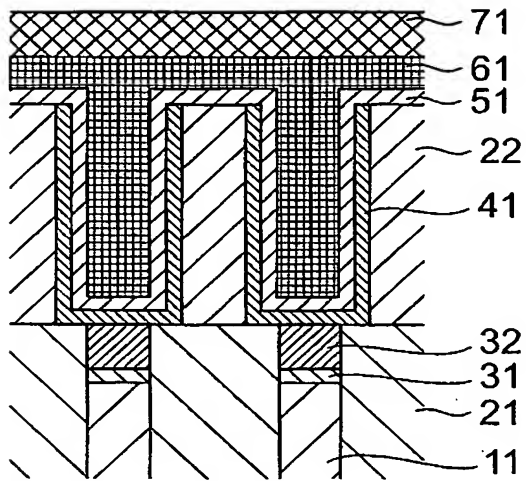
【図 4 4】



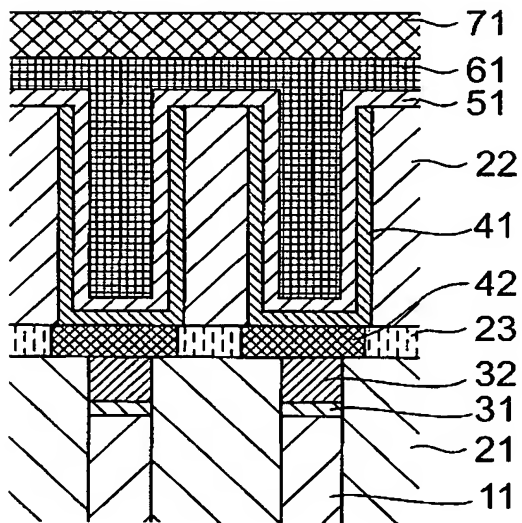
【図 45】



【図 4 6】



【図 4 7】



【書類名】 要約書

【要約】

【課題】 工程数を低減しかつ合わせの余裕を確保しつつ、下部電極の底部のみが厚いMIM型キャパシタ及びその製造方法を提供する。

【解決手段】 半導体基板の一主面上に形成されたメモリセル選択用MISFETと、メモリセル選択用MISFETのソース、ドレインの一方に第一の金属層を介して底部において電氣的に接続された下部電極41及び下部電極41の上部に容量絶縁膜51を介して形成された上部電極61により構成される容量素子を有するメモリセルから成る半導体装置であって、下部電極41の底部での膜厚を30nm以上にする。PCM法などの高イオン化率かつ高指向性のスパッタ法を下部電極41の形成に適用し、キャパシタ底部のみを厚くする。

【選択図】 図1



特願 2 0 0 3 - 0 3 6 4 5 9

出 願 人 履 歴 情 報

識別番号 [ 5 0 0 1 7 4 2 4 7 ]

1. 変更年月日	2 0 0 0 年 7 月 1 2 日
[変更理由]	名称変更
住 所	東京都中央区八重洲 2 - 2 - 1
氏 名	エルピーダメモリ株式会社

特願 2 0 0 3 - 0 3 6 4 5 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 2 3 3 1 6 9 ]

1. 変更年月日

1 9 9 8 年 4 月 3 日

[変更理由]

名称変更

住 所

東京都小平市上水本町 5 丁目 2 2 番 1 号

氏 名

株式会社日立超エル・エス・アイ・システムズ

特願 2 0 0 3 - 0 3 6 4 5 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所